

Digitale Schaltungen

Grundlagen der Digitaltechnik

- Schaltalgebra
- Grundfunktionen integrierter Bausteine
 - Gatter-Grundfunktionen
 - NAND- und NOR-Technik
 - Antivalenz und Äquivalenz
- Erweiterung der Ein- und Ausgänge
 - Zusätzliche Gatter-Eingänge
 - Erweiterung über OC-Ausgänge
- Systemfremde Erweiterung
 - Erweiterung der Eingänge mit Dioden
 - Erweiterung CMOS-Eingänge mit Logik-R/Dioden
 - Erweiterung über Standard-Ausgänge
- Pegel der digitalen IC-Familien (Auswahl)
 - Logik-Pegel der TTL-Serien
 - Logik-Pegel der CMOS-Serien

Grundsaltungen TTL

- Bistabile Schaltungen (Flip-Flop)
 - Flankengetriggertes RS-Flip-Flop
 - Flankengetriggertes RS-FF, Testschaltung (1)
 - Flankengetriggertes RS-FF, Testschaltung (2)
 - Flankengetriggertes RS-FF, Testschaltung (3)

Grundsaltungen CMOS

- Monostabile Generatoren (MMV)
 - Monoflop mit 2 Standard-Gattern
 - Impulsbildung mit Trigger-Gattern
 - Monoflop mit 2 Trigger-Gattern
 - Monoflop als Zeitgeber
 - Monoflop, nachtriggerbar
- Astabile Generatoren mit Standard-Gattern
 - Generator mit 2 NAND-Gatter (Grundsaltung)
 - Generator mit 3 NAND-Gatter und Start/Stop
 - Generator mit 2 NOR-Gatter (Grundsaltung)
 - Generator mit 3 NOR-Gatter und Start/Stop
 - Generator, Frequenz und Tastgrad einstellbar
- Astabile Generatoren mit Trigger-Gattern
 - Generator mit 1 NAND-Trigger
 - Generator mit 2 NAND-Trigger

8-Digit-Counter

- BCD zu 7-Segment-Dekoder
 - Dekoder-Prinzip und Schaltbelegungstabelle
 - Dekoder-Schaltung und -Aufbau

Spezielle Schaltungen

- Impulsfang aus dem Taktsignal
- Reset mit Ub-Trigger und Monoflop
- Reset mit Ub-Trigger und Störunterdrückung
- Tasten EIN und AUS, entprellt
 - Taste EIN und Taste AUS, Relais-Ausgang
- Tipp-Taste EIN/AUS (toggle), entprellt
 - Taste mit TTL-Standard-Gattern
 - Taste mit TTL-Gatter und JK-FF
 - Taste mit LS-TTL-Gattern
 - Taste mit LS-TTL-Gatter und D-FF
 - Taste mit LS-TTL-Trigger und D-FF
 - Taste mit CMOS-Trigger und D-FF
 - Taste mit MOSFET-Schaltstufe

Digitale Generatoren




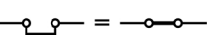
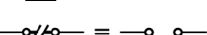
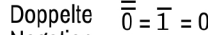
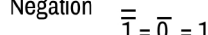
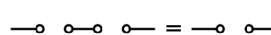
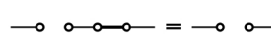
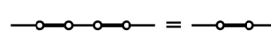


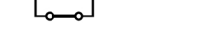
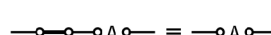

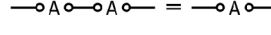
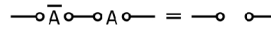

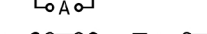
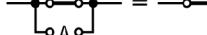
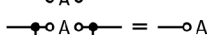
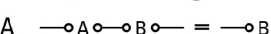
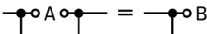
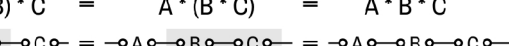
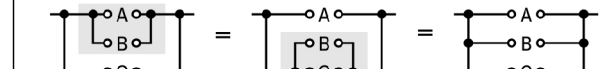
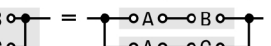
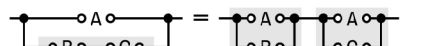
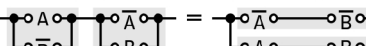
- Oszillator mit CMOS-Gatter 4011
 - Spannungsgesteuerter Oszillator (VCO)
 - Festfrequenz-Oszillator, Tastgrad einstellbar
- Quarz-Generatoren
 - Normalfrequenz-Generatoren
 - Quarzgenerator 40 MHz

Grundlagen der Digitaltechnik

Der folgende Abschnitt enthält Basisinfos zur Digitaltechnik. Es wurden einige Fakten zusammengetragen, die für die digitale Schaltungspraxis gebraucht werden. Die Beschreibung der einzelnen Zusammenhänge ist kurz gehalten, die Bilder sollen eher dem schnellen Nachschlagen dienen.

Schaltalgebra

Die folgende Zusammenstellung enthält alle Grundgesetze der Schaltalgebra. Die Darstellung mit Kontakten bietet sofortiges Verständnis der einzelnen Funktionen.

Vereinbarungen: Konstante 0 = falsch (false) Konstante 1 = wahr (true) Schaltvariable A, B, C, Y ... mit Wert 0 oder 1		Grund-Operatoren $*$ = UND (AND) \vee = ODER (OR) \overline{A} = A NICHT (NOT)	Darstellung durch Kontakte 0 \rightarrow Kontakt offen:  1 \rightarrow Kontakt geschlossen:  	© 1983, 2013-09-24 P.E.Burkhardt dig1-1 positive Logik 0 \rightarrow LOW (L) = GND (\perp) 1 \rightarrow HIGH (H) = +Ub
Negation $\overline{\overline{0}} = 1$  $\overline{\overline{1}} = 0$ 	Doppelte Negation $\overline{\overline{\overline{0}}} = \overline{1} = 0$  $\overline{\overline{\overline{1}}} = \overline{0} = 1$ 	Doppelte Negation $\overline{\overline{A}} = A$ einer Variablen		
Funktionen mit Konstanten $0 * 0 = 0$  $0 * 1 = 0$  $1 * 1 = 1$ 	$0 \vee 0 = 0$  $0 \vee 1 = 1$  $1 \vee 1 = 1$ 	De Morgan Theorem $\overline{A \vee B} = \overline{A} * \overline{B}$ $\overline{A * B} = \overline{A} \vee \overline{B}$ Merke: 1. oberste Negation aufbrechen (nur eine Negation je Schritt) 2. vereinfachen	Beispiel: $\overline{A \vee (\overline{B * C})}$ \downarrow $\overline{A} * \overline{(\overline{B * C})}$ \downarrow $\overline{A} * B * C$	
Funktionen mit einer Variablen $0 * A = 0$  $1 * A = A$  $A * A = A$  $\overline{A} * A = 0$ 	$0 \vee A = A$  $1 \vee A = 1$  $A \vee A = A$  $\overline{A} \vee A = 1$ 	Kürzungsregeln $A \vee (A * B) = A$ $A \vee (\overline{A} * B) = A \vee B$ $A * (A \vee B) = A$ $A * (\overline{A} \vee B) = A * B$ $(A * B) \vee (A * \overline{B}) = A$ $(A \vee B) * (A \vee \overline{B}) = A$		
Kommutativ-Gesetz (Vertauschung) $A * B = B * A$ 	$A \vee B = B \vee A$ 			
Assoziativ-Gesetz (Zuordnung) $(A * B) * C = A * (B * C) = A * B * C$ 	$(A \vee B) \vee C = A \vee (B \vee C) = A \vee B \vee C$ 			
Distributiv-Gesetz (Verteilung) $A * (B \vee C) = (A * B) \vee (A * C)$ 	$A \vee (B * C) = (A \vee B) * (A \vee C)$ 	$(A \vee \overline{B}) * (\overline{A} \vee B) = (\overline{A} * \overline{B}) \vee (A * B)$ 		

Auf Basis der Gesetze und Kürzungsregeln können kleinere Digitalisaltungen verändert und/oder an den eigenen Bauelemente-Vorrat angepasst werden. Auf Karnaugh-Tafeln und die Ladder-Darstellung wurde bewusst verzichtet.








Grundfunktionen integrierter Bausteine

Die Gesamtfunktion digitaler ICs basiert auf wenigen Grundfunktionen. Interessant ist, dass sich alle logischen Schaltfunktionen sowohl in NAND-Technik, als auch in NOR-Technik realisieren lassen.

Gatter-Grundfunktionen

Eigentlich reichen Negation (NOT), Konjunktion (AND) und Disjunktion (OR) aus, um eine beliebige digitale Funktion zu realisieren. Zweckmäßigerweise zählt man aber NAND, NOR, Antivalenz und Äquivalenz ebenfalls zu den Grundfunktionen.

© 1983, 2013-09-24 P.E.Burkhardt dig1-2









<p>Negation</p>  <p>NOT (nicht)</p> $Y = \bar{A}$ <table border="1" style="margin-left: auto; margin-right: auto;"> <tr><th>A</th><th>Y</th></tr> <tr><td>0</td><td>1</td></tr> <tr><td>1</td><td>0</td></tr> </table>	A	Y	0	1	1	0	<p>Konjunktion</p>  <p>AND (und)</p> $Y = A * B$ <table border="1" style="margin-left: auto; margin-right: auto;"> <tr><th>B</th><th>A</th><th>Y</th></tr> <tr><td>0</td><td>0</td><td>0</td></tr> <tr><td>0</td><td>1</td><td>0</td></tr> <tr><td>1</td><td>0</td><td>0</td></tr> <tr><td>1</td><td>1</td><td>1</td></tr> </table>	B	A	Y	0	0	0	0	1	0	1	0	0	1	1	1	<p>NAND</p>  <p>NAND (nicht und)</p> $Y = \overline{A * B}$ $Y = \bar{A} \vee \bar{B}$ <table border="1" style="margin-left: auto; margin-right: auto;"> <tr><th>B</th><th>A</th><th>Y</th></tr> <tr><td>0</td><td>0</td><td>1</td></tr> <tr><td>0</td><td>1</td><td>1</td></tr> <tr><td>1</td><td>0</td><td>1</td></tr> <tr><td>1</td><td>1</td><td>0</td></tr> </table>	B	A	Y	0	0	1	0	1	1	1	0	1	1	1	0	<p>Disjunktion</p>  <p>OR (oder)</p> $Y = A \vee B$ <table border="1" style="margin-left: auto; margin-right: auto;"> <tr><th>B</th><th>A</th><th>Y</th></tr> <tr><td>0</td><td>0</td><td>0</td></tr> <tr><td>0</td><td>1</td><td>1</td></tr> <tr><td>1</td><td>0</td><td>1</td></tr> <tr><td>1</td><td>1</td><td>1</td></tr> </table>	B	A	Y	0	0	0	0	1	1	1	0	1	1	1	1	<p>NOR</p>  <p>NOR (nicht oder)</p> $Y = \overline{A \vee B}$ $Y = \bar{A} * \bar{B}$ <table border="1" style="margin-left: auto; margin-right: auto;"> <tr><th>B</th><th>A</th><th>Y</th></tr> <tr><td>0</td><td>0</td><td>1</td></tr> <tr><td>0</td><td>1</td><td>0</td></tr> <tr><td>1</td><td>0</td><td>0</td></tr> <tr><td>1</td><td>1</td><td>0</td></tr> </table>	B	A	Y	0	0	1	0	1	0	1	0	0	1	1	0	<p>Antivalenz</p>  <p>EX-OR, XOR (exklusiv OR)</p> $Y = (A * \bar{B}) \vee (\bar{A} * B)$ $Y = (A * \bar{B}) * (A \vee B)$ <table border="1" style="margin-left: auto; margin-right: auto;"> <tr><th>B</th><th>A</th><th>Y</th></tr> <tr><td>0</td><td>0</td><td>0</td></tr> <tr><td>0</td><td>1</td><td>1</td></tr> <tr><td>1</td><td>0</td><td>1</td></tr> <tr><td>1</td><td>1</td><td>0</td></tr> </table>	B	A	Y	0	0	0	0	1	1	1	0	1	1	1	0	<p>Äquivalenz</p>  <p>EX-NOR, XNOR (exklusiv NOR)</p> $Y = (A * B) \vee (\bar{A} * \bar{B})$ $Y = (A \vee \bar{B}) * (\bar{A} \vee B)$ <table border="1" style="margin-left: auto; margin-right: auto;"> <tr><th>B</th><th>A</th><th>Y</th></tr> <tr><td>0</td><td>0</td><td>1</td></tr> <tr><td>0</td><td>1</td><td>0</td></tr> <tr><td>1</td><td>0</td><td>0</td></tr> <tr><td>1</td><td>1</td><td>1</td></tr> </table>	B	A	Y	0	0	1	0	1	0	1	0	0	1	1	1
A	Y																																																																																																					
0	1																																																																																																					
1	0																																																																																																					
B	A	Y																																																																																																				
0	0	0																																																																																																				
0	1	0																																																																																																				
1	0	0																																																																																																				
1	1	1																																																																																																				
B	A	Y																																																																																																				
0	0	1																																																																																																				
0	1	1																																																																																																				
1	0	1																																																																																																				
1	1	0																																																																																																				
B	A	Y																																																																																																				
0	0	0																																																																																																				
0	1	1																																																																																																				
1	0	1																																																																																																				
1	1	1																																																																																																				
B	A	Y																																																																																																				
0	0	1																																																																																																				
0	1	0																																																																																																				
1	0	0																																																																																																				
1	1	0																																																																																																				
B	A	Y																																																																																																				
0	0	0																																																																																																				
0	1	1																																																																																																				
1	0	1																																																																																																				
1	1	0																																																																																																				
B	A	Y																																																																																																				
0	0	1																																																																																																				
0	1	0																																																																																																				
1	0	0																																																																																																				
1	1	1																																																																																																				

Digital-Grundlagen, Grundfunktionen

NAND- und NOR-Technik

Manchmal passen vorhandene ICs nicht zur Schaltung, die realisiert werden soll. Im Bild ist angegeben, wie die einzelnen Grundgatter in NAND- bzw. NOR-Technik überführt werden können.

© 1983, 2013-09-24 P.E.Burkhardt dig1-3

<p>NOT</p>  <p>$Y = \bar{A}$</p> <table border="1" style="margin-left: auto; margin-right: auto;"> <tr><th>A</th><th>Y</th></tr> <tr><td>0</td><td>1</td></tr> <tr><td>1</td><td>0</td></tr> </table>	A	Y	0	1	1	0	<p>Grundfunktionen aus NAND</p> <p>AND</p>  <p>$Y = A * B$</p> <table border="1" style="margin-left: auto; margin-right: auto;"> <tr><th>B</th><th>A</th><th>Y</th></tr> <tr><td>0</td><td>0</td><td>0</td></tr> <tr><td>0</td><td>1</td><td>0</td></tr> <tr><td>1</td><td>0</td><td>0</td></tr> <tr><td>1</td><td>1</td><td>1</td></tr> </table>	B	A	Y	0	0	0	0	1	0	1	0	0	1	1	1	<p>OR</p>  <p>$Y = A \vee B$</p> <table border="1" style="margin-left: auto; margin-right: auto;"> <tr><th>B</th><th>A</th><th>Y</th></tr> <tr><td>0</td><td>0</td><td>0</td></tr> <tr><td>0</td><td>1</td><td>1</td></tr> <tr><td>1</td><td>0</td><td>1</td></tr> <tr><td>1</td><td>1</td><td>1</td></tr> </table>	B	A	Y	0	0	0	0	1	1	1	0	1	1	1	1	<p>NOR</p>  <p>$Y = \overline{A \vee B}$</p> <table border="1" style="margin-left: auto; margin-right: auto;"> <tr><th>B</th><th>A</th><th>Y</th></tr> <tr><td>0</td><td>0</td><td>1</td></tr> <tr><td>0</td><td>1</td><td>0</td></tr> <tr><td>1</td><td>0</td><td>0</td></tr> <tr><td>1</td><td>1</td><td>0</td></tr> </table>	B	A	Y	0	0	1	0	1	0	1	0	0	1	1	0	<p>NOT</p>  <p>$Y = \bar{A}$</p> <table border="1" style="margin-left: auto; margin-right: auto;"> <tr><th>A</th><th>Y</th></tr> <tr><td>0</td><td>1</td></tr> <tr><td>1</td><td>0</td></tr> </table>	A	Y	0	1	1	0	<p>OR</p>  <p>$Y = A \vee B$</p> <table border="1" style="margin-left: auto; margin-right: auto;"> <tr><th>B</th><th>A</th><th>Y</th></tr> <tr><td>0</td><td>0</td><td>0</td></tr> <tr><td>0</td><td>1</td><td>1</td></tr> <tr><td>1</td><td>0</td><td>1</td></tr> <tr><td>1</td><td>1</td><td>1</td></tr> </table>	B	A	Y	0	0	0	0	1	1	1	0	1	1	1	1	<p>AND</p>  <p>$Y = A * B$</p> <table border="1" style="margin-left: auto; margin-right: auto;"> <tr><th>B</th><th>A</th><th>Y</th></tr> <tr><td>0</td><td>0</td><td>0</td></tr> <tr><td>0</td><td>1</td><td>0</td></tr> <tr><td>1</td><td>0</td><td>0</td></tr> <tr><td>1</td><td>1</td><td>1</td></tr> </table>	B	A	Y	0	0	0	0	1	0	1	0	0	1	1	1	<p>NAND</p>  <p>$Y = \overline{A * B}$</p> <table border="1" style="margin-left: auto; margin-right: auto;"> <tr><th>B</th><th>A</th><th>Y</th></tr> <tr><td>0</td><td>0</td><td>1</td></tr> <tr><td>0</td><td>1</td><td>1</td></tr> <tr><td>1</td><td>0</td><td>1</td></tr> <tr><td>1</td><td>1</td><td>0</td></tr> </table>	B	A	Y	0	0	1	0	1	1	1	0	1	1	1	0
A	Y																																																																																																												
0	1																																																																																																												
1	0																																																																																																												
B	A	Y																																																																																																											
0	0	0																																																																																																											
0	1	0																																																																																																											
1	0	0																																																																																																											
1	1	1																																																																																																											
B	A	Y																																																																																																											
0	0	0																																																																																																											
0	1	1																																																																																																											
1	0	1																																																																																																											
1	1	1																																																																																																											
B	A	Y																																																																																																											
0	0	1																																																																																																											
0	1	0																																																																																																											
1	0	0																																																																																																											
1	1	0																																																																																																											
A	Y																																																																																																												
0	1																																																																																																												
1	0																																																																																																												
B	A	Y																																																																																																											
0	0	0																																																																																																											
0	1	1																																																																																																											
1	0	1																																																																																																											
1	1	1																																																																																																											
B	A	Y																																																																																																											
0	0	0																																																																																																											
0	1	0																																																																																																											
1	0	0																																																																																																											
1	1	1																																																																																																											
B	A	Y																																																																																																											
0	0	1																																																																																																											
0	1	1																																																																																																											
1	0	1																																																																																																											
1	1	0																																																																																																											

Grundfunktionen aus NAND bzw. NOR

Wie die angegebenen Konstanten "1" (High) und "0" (Low) technisch realisiert werden, ist von der IC-Technologie abhängig. Zum Beispiel liest ein offener TTL-Eingang eine "1". Oder aber der Eingang wird an +Ub gelegt, damit er mit logisch "1" belegt ist. Für "0" wird der entsprechende Eingang mit Masse (GND) verbunden.

CMOS-Eingänge dürfen dagegen wegen der Störempfindlichkeit nicht offen gelassen werden. Logisch "1" ergibt sich, wenn der Eingang auf +Ub liegt, logisch "0", wenn er mit GND verbunden ist.

Antivalenz und Äquivalenz

Die Funktionen Antivalenz (XOR) und Äquivalenz (XNOR) basieren ebenfalls auf den Grundfunktionen NOT, AND und OR bzw. auf NAND oder NOR. Für XOR und XNOR gibt es anschlussfertige ICs, die Realisierung ist aber auch mit Grundgattern möglich.

EX-OR, XOR

A = 1, B = 1 → Y

B	A	Y
0	0	0
0	1	1
1	0	1
1	1	0

XOR = \overline{XNOR}

A = 1, B = 1 → Y

$Y = (A * \overline{B}) \vee (\overline{A} * B)$

XOR (Antivalenz) aus Grundgattern

XOR aus NAND

A, B

$Y = (\overline{A * (\overline{A * B})}) * (\overline{(\overline{A * B}) * B})$

$Y = (\overline{A * (\overline{A * B})}) \vee (\overline{(\overline{A * B}) * B})$

$Y = (A * (\overline{A * B})) \vee ((\overline{A * B}) * B)$

$Y = (A * (\overline{A * B})) \vee ((\overline{A * B}) * B)$

$Y = ((A * \overline{A}) \vee (A * \overline{B})) \vee ((\overline{A * B}) * (\overline{B * B}))$

$Y = (0 \vee (A * \overline{B})) \vee ((\overline{A * B}) \vee 0)$

$Y = (A * \overline{B}) \vee (\overline{A * B})$

© 1983, 2013-09-26 P.E.Burkhardt dig1-4

XOR aus NOR

A, B

$Y = (\overline{A * B}) * (\overline{B * A})$

$Y = (\overline{A * B}) \vee (\overline{B * A})$

$Y = (\overline{A * B}) \vee (\overline{B * A})$

$Y = (A * \overline{B}) \vee (\overline{A * B})$

Antivalent sind zwei Variable (A und B), wenn sie unterschiedliche logische Werte haben (siehe Belegungstabelle links im Bild). Der Nachweis, dass die gezeigte NAND-Realisierung der XOR-Funktion entspricht, wird im Bild schrittweise mittels der Schaltalgebra geführt. Neben den Gesetzen nach De Morgan werden Ersetzungs- und Kürzungsregeln angewandt (siehe auch das erste Bild zur Schaltalgebra). Das nächste Bild zeigt die Zusammenhänge für die Äquivalenz.

EX-NOR, XNOR

A = 1, B = 1 → Y

B	A	Y
0	0	1
0	1	0
1	0	0
1	1	1

XNOR = \overline{XOR}

A = 1, B = 1 → Y

$Y = (\overline{A * B}) \vee (A * B)$

XNOR (Äquivalenz) aus Grundgattern

XNOR aus NOR

A, B

$Y = (\overline{A \vee (\overline{A \vee B})}) \vee (\overline{(\overline{A \vee B}) \vee B})$

$Y = (\overline{A \vee (\overline{A \vee B})}) * (\overline{(\overline{A \vee B}) \vee B})$

$Y = (A \vee (\overline{A \vee B})) * ((\overline{A \vee B}) \vee B)$

$Y = ((A \vee \overline{A}) * (A \vee \overline{B})) * ((\overline{A \vee B}) * (\overline{B \vee B}))$

$Y = (1 * (A \vee \overline{B})) * ((\overline{A \vee B}) * 1)$

$Y = (A \vee \overline{B}) * (\overline{A \vee B})$

$Y = (\overline{A * B}) \vee (A * B)$

© 1983, 2013-09-26 P.E.Burkhardt dig1-5

XOR aus NAND

A, B

$Y = (\overline{A \vee B}) \vee (\overline{B \vee A})$

$Y = (\overline{A \vee B}) * (\overline{B \vee A})$

$Y = (\overline{A \vee B}) * (\overline{B \vee A})$

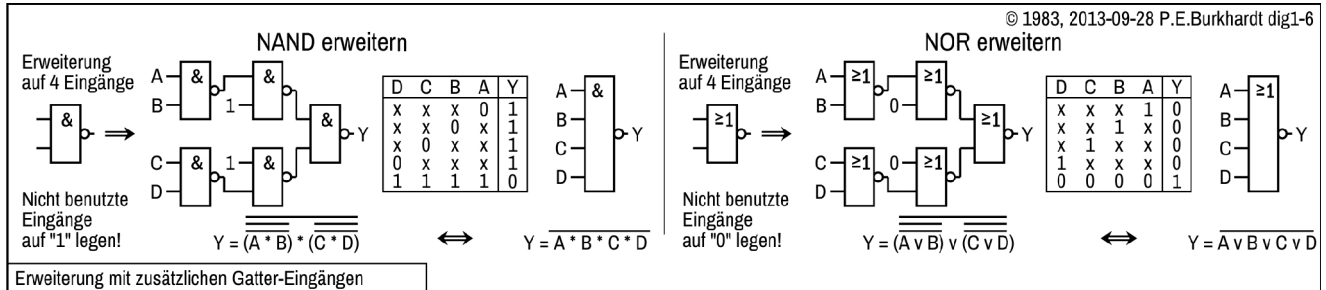
$Y = (\overline{A * B}) \vee (A * B)$

Äquivalent sind zwei Variable (A und B), wenn sie den gleichen logischen Wert haben (siehe Belegungstabelle links im Bild). Die Logik-Tabelle zeigt, dass XNOR die Negation von XOR ist. Umgekehrt gilt, wird XNOR negiert, erhält man XOR.

Erweiterung der Ein- und Ausgänge

Zusätzliche Gatter-Eingänge

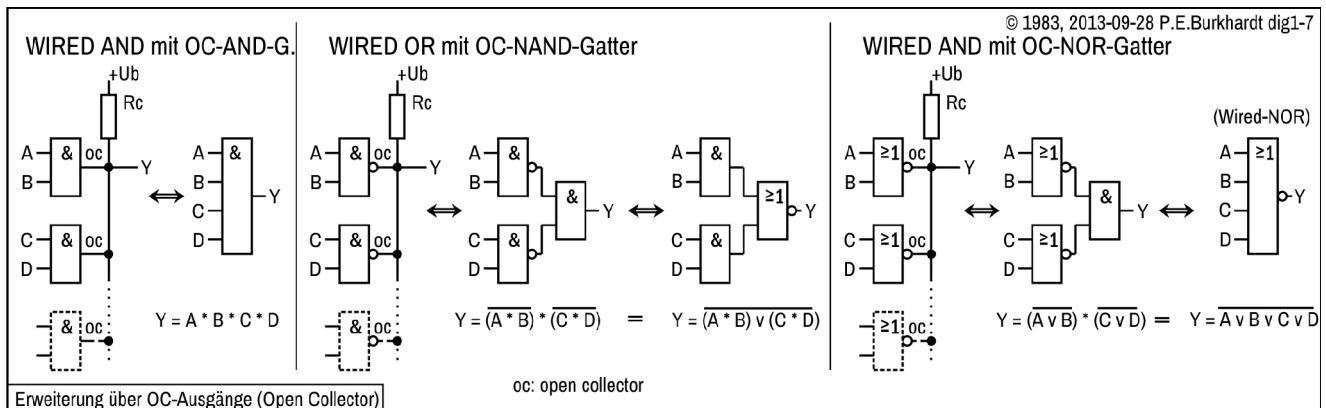
Grundgatter mit den Funktionen AND, NAND, OR, NOR sind mit bis zu 8 Eingängen realisiert. Um mehrere Eingänge zu verknüpfen, können aber auch Gatter mit weniger Eingängen so verschaltet werden, dass sich die gewünschte Anzahl der Eingänge ergibt.



Im Bild ist die Möglichkeit gezeigt, wie sich 2 auf 4 Eingänge bei NAND bzw. NOR erweitern lassen. Das gleiche Prinzip ist aber auch auf mehr als 4 geschaffene Eingänge anwendbar (z.B. 2 Gatter mit je 3 Eingängen auf 6 Eingänge erweitern).

Erweiterung über OC-Ausgänge

Normale Standard-Ausgänge (TTL und auch CMOS) können nicht oder nur sehr begrenzt parallel geschaltet werden, wenn deren Eingänge unterschiedliche logische Pegel annehmen können (also nicht parallel geschaltet sind). Die Verknüpfung ist aber über Ausgänge mit offenem Kollektor (open collector) möglich. Bei diesen Ausgängen fehlt der obere Transistor des Totem-pole-Ausgangs. Dieser wird extern mittels Pullup-Widerstand (gegen +Ub) ersetzt. Das gilt natürlich nur für TTL-Gatter. Bei CMOS sind solche halben Ausgangsstufen nur für Spezialzwecke zu finden.



Die Parallelschaltung der OC-Ausgänge ist allerdings mit einer zusätzlichen logischen Verknüpfung verbunden. Im Bild ist die jeweilige Logikgleichung nebst Ersatzschaltung angegeben.

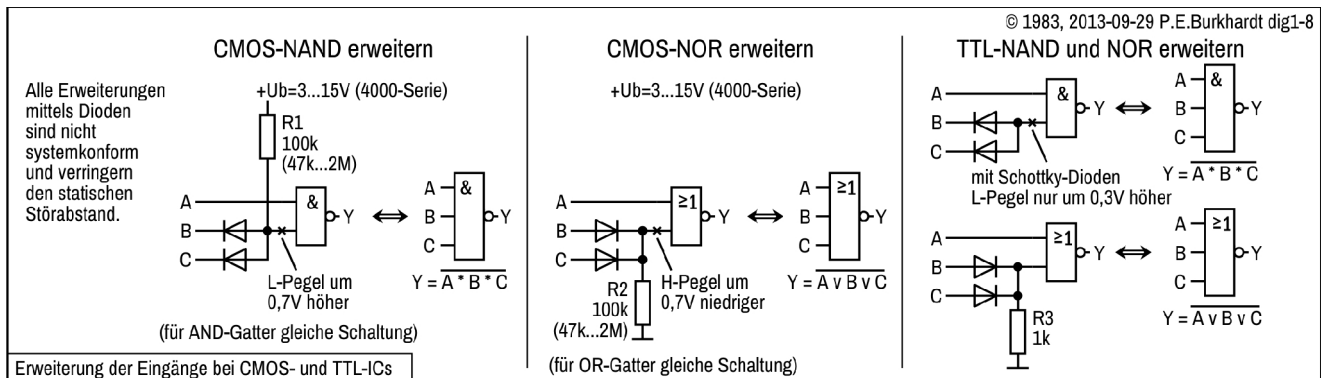
Systemfremde Erweiterung

Bisher beschriebene Eingangs- und Ausgangserweiterungen sind systemkonform, d.h. mit Bausteinen realisiert, die die jeweilige Schaltkreisfamilie bietet. Geschwindigkeit und Störsicherheit werden nicht beeinträchtigt.

Die folgenden Erweiterungen mit Dioden sind zwar einfacher realisierbar, aber sie sind nicht systemkonform. Der statische Störabstand wird durch die Fluss-Spannung der Dioden verringert. Bei TTL sind nur Schottky-Dioden möglich, um mit Sicherheit die Logikpegel einzuhalten. Sollen trotzdem normale Si-Dioden verwendet werden, müssen in der konkreten Schaltung die Logikpegel überprüft werden.

Erweiterung der Eingänge mit Dioden

CMOS-Eingangserweiterungen sind je nach NAND- oder NOR-Technik unterschiedlich zu realisieren. Bei TTL gilt die gleiche Beschaltung.

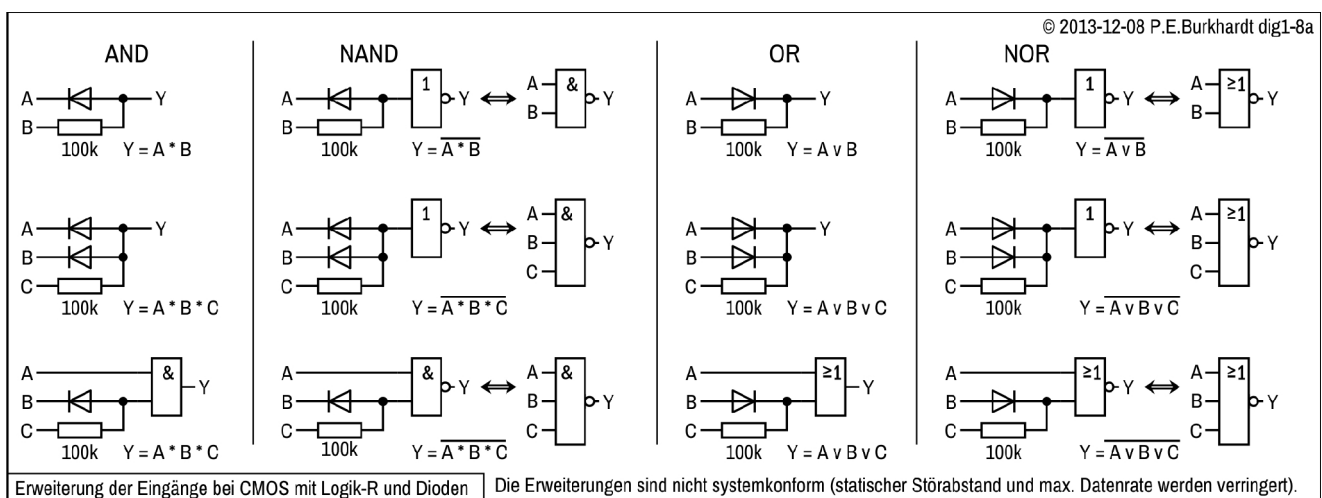


CMOS-Eingänge erfordern einen Widerstand nach $+U_b$ bzw. GND, damit der jeweilige Eingang ein definiertes Potential erhält, wenn die entsprechenden Dioden sperren. Wäre $R1$ bzw. $R2$ nicht vorhanden, würde sich wegen des sehr hochohmigen Eingangs ein nicht vorhersehbarer Pegel in Nähe des Gatter-Umschaltpunktes einstellen.

Bei TTL-Eingängen ist für die NAND-Erweiterung kein Widerstand erforderlich, da jeder abgetrennte Eingang (also bei gesperrten Dioden) automatisch auf H-Potential liegt. Bei der TTL-NOR-Erweiterung ist $R3$ nötig, damit der mit Dioden erweiterte Gatter-Eingang L liest, wenn beide Dioden-Eingänge mit L belegt sind.

Erweiterung CMOS-Eingänge mit Logik-R/Dioden

CMOS-Eingangserweiterungen sind noch einfacher zu realisieren, wenn der sonst nötige Pullup- bzw. Pulldown-Widerstand als Logik-Widerstand in Serie zu einem der Eingänge liegt.



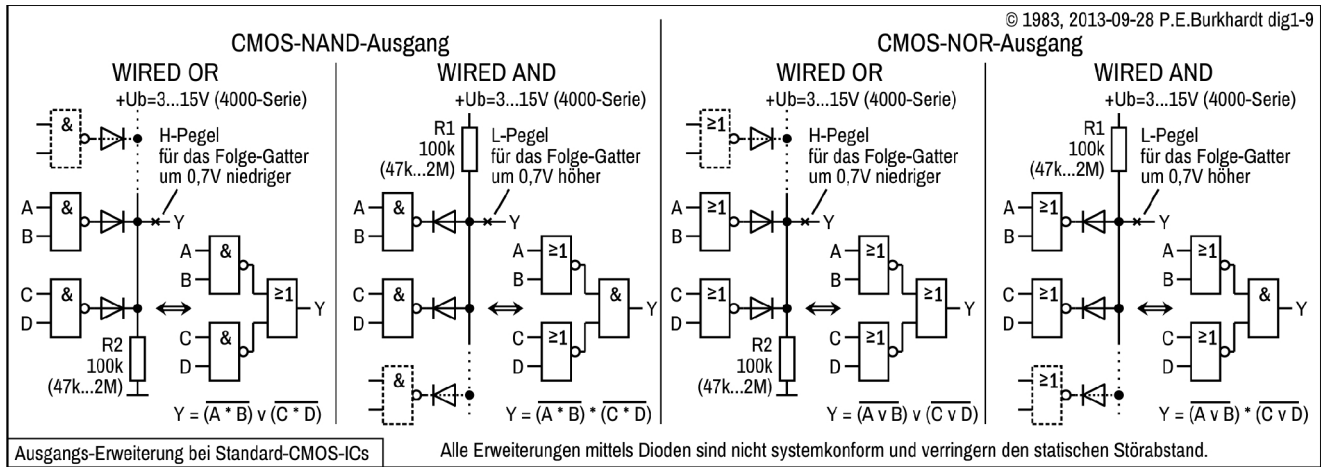
Die Erweiterungen sind nicht systemkonform (statischer Störabstand und max. Datenrate werden verringert).

Die Größe des Widerstands ist mit 100 kΩ optimal, kann aber auch zwischen 10 kΩ und 1 MΩ liegen. Allerdings bewirkt die Gate-Kapazität des Gatter-Eingangs zusammen mit diesem Widerstand eine Verringerung der maximal möglichen Impulsfrequenz, die verarbeitet werden soll.

Alle Eingänge im Bild (A, B, C) werden von CMOS-Gatter-Ausgängen getrieben. Das heißt, die gezeigten Erweiterungen sollten nicht hintereinander geschaltet werden, damit der statische Störabstand nicht unzulässig verringert wird.

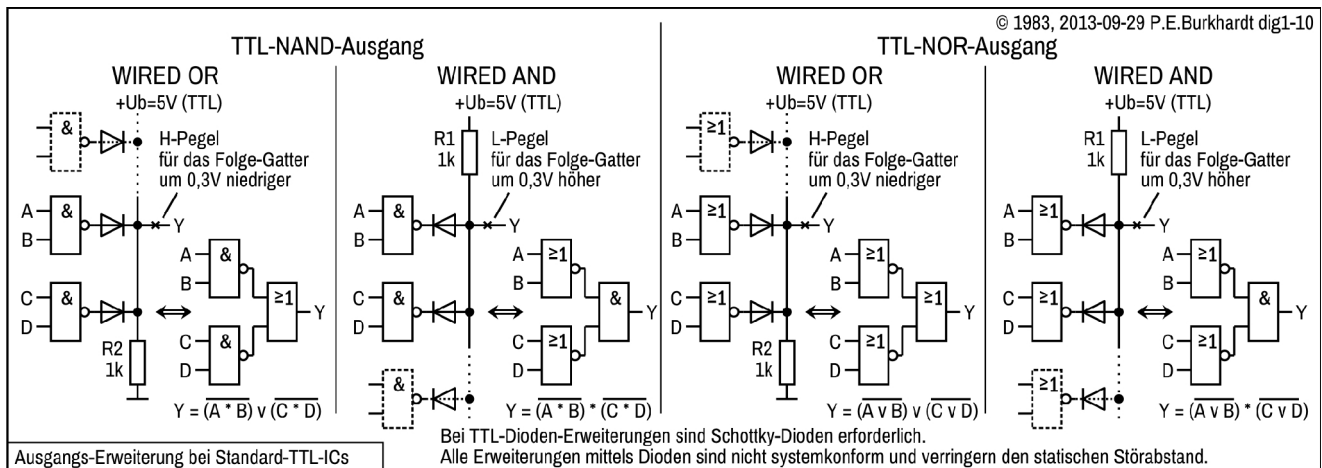
Erweiterung über Standard-Ausgänge

CMOS- und auch TTL-Standard-Ausgänge (push-pull) können sehr flexibel AND- und OR-verknüpft über Dioden parallel geschaltet werden.



Im obigen Bild sind alle Möglichkeiten bei CMOS-Ausgängen dargestellt. Aufgrund des grundsätzlich hohen statischen Störabstands sind normale Dioden einsetzbar. Nur bei Betriebsspannungen unter 5 V (z.B. bei 3 oder 4 V) sollten auch hier Schottky-Dioden eingesetzt werden.

Bei TTL-Ausgängen (folgendes Bild) sind die Verhältnisse aufgrund des nominal geringeren statischen Störabstands ungünstiger.



Ohne Gefährdung der zu garantierenden TTL-Logikpegel lassen sich alle im Bild dargestellten Varianten nur mit Schottky-Dioden realisieren. Der Widerstand R1 bzw. R2 ist ggf. in Abhängigkeit von der Zahl der Ausgänge, aber auch in Abhängigkeit vom Lastfaktor (Zahl der angeschlossenen Folge-Eingänge) anzupassen.

Die Dioden-Erweiterung der Eingänge darf nicht mit der Dioden-Erweiterung der speisenden Ausgänge kombiniert werden. Durch die dann doppelt wirksame Dioden-Fluss-Spannung wären die Logikpegel besonders bei TTL, aber auch bei CMOS mit geringer Betriebsspannung, nicht mehr einzuhalten.

Pegel der digitalen IC-Familien (Auswahl)

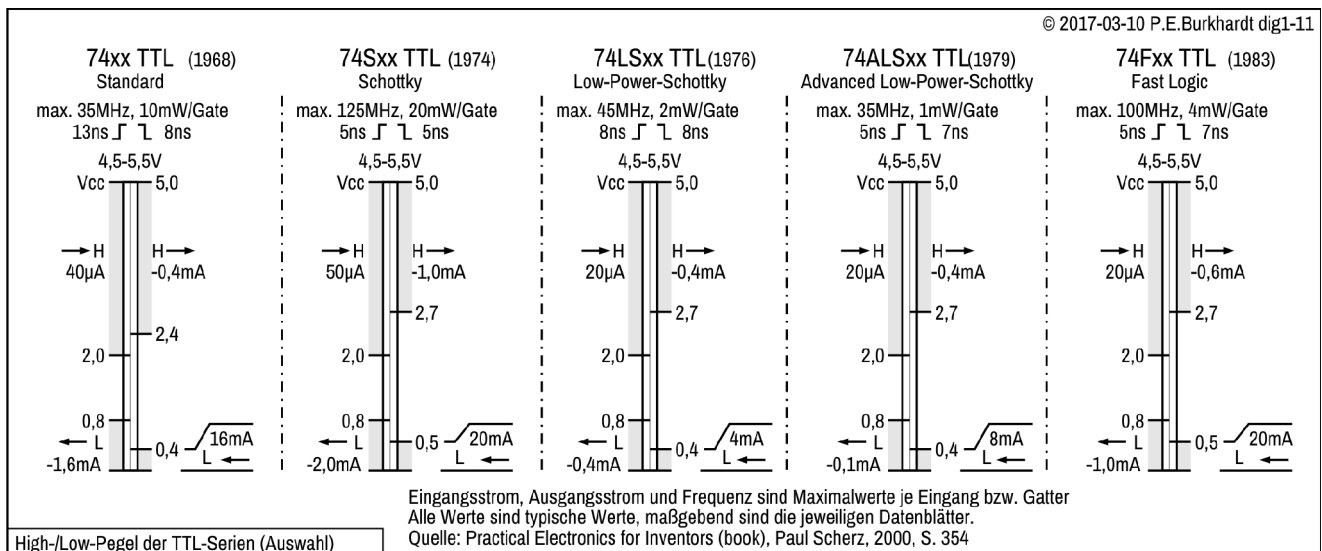
Es gibt eine riesige Auswahl unterschiedlicher digitaler Schaltkreise. Je nach Fertigungstechnologie, Eigenschaften und auch historisch bedingt existieren viele Logik-Familien (Typenreihen), die sich zwar bezüglich der verfügbaren Schaltfunktionen (Gatter, FFs, Zähler usw.) ähneln, die aber untereinander bezüglich Logik-Pegel und anderer Eigenschaften nur eingeschränkt kompatibel sind.

Nun soll hier nicht beschrieben werden, was tausenfach im Web zu finden ist. Da aber in mancher Bastelkiste auch ältere digitale ICs schlummern dürften, ist eine Logikpegel-Zusammenstellung der verschiedenen digitalen Serien sinnvoll. Oft besteht das Problem, ICs verschiedener Serien zusammenschalten zu müssen. Selbst wenn man nur mit einer Systemspannung von 5 V arbeitet, ist die Notwendigkeit einer Interface-Schaltung (z.B. ein Pull-up-Widerstand) nur einzuschätzen, wenn die Logik-Pegel bekannt sind. Noch komplizierter wird es, wenn mit unterschiedlichen Spannungen gearbeitet wird.

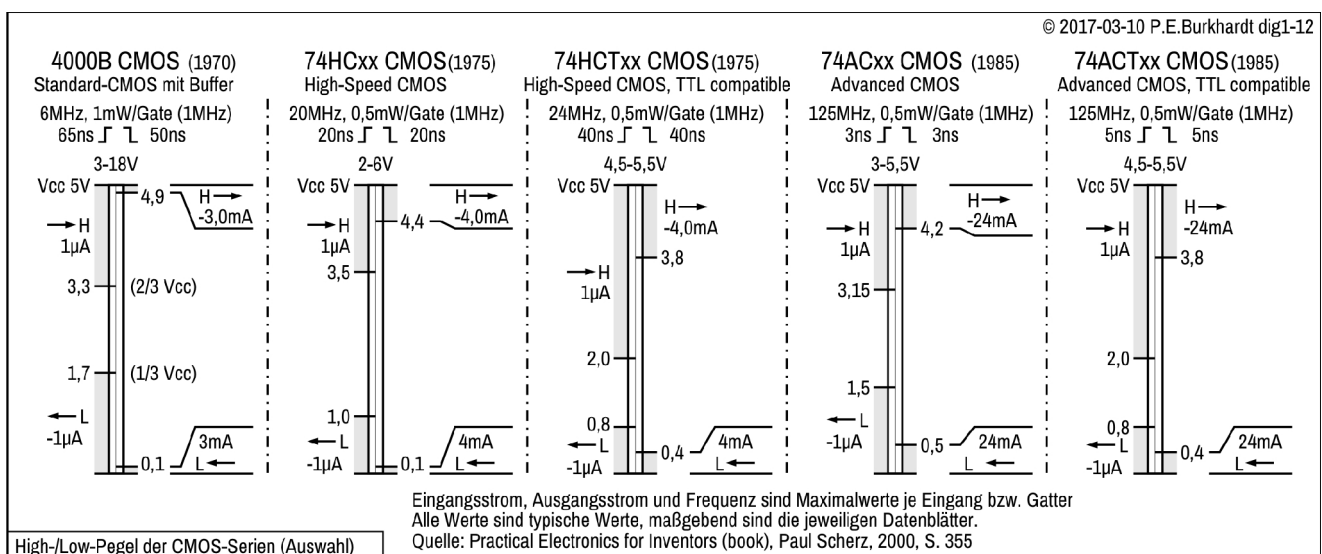
In der folgenden Auswahl sind vor allem ältere Serien berücksichtigt. Zum Teil werden sie nicht mehr gefertigt, was aber den Bastler nicht hindern sollte, sie noch zu verwenden. Low-Voltage-Serien wurden nicht berücksichtigt, bei der großen Auswahl muss man sowieso die Datenblätter zu Hilfe nehmen.

Zu beachten ist, dass die folgende Zusammenstellung nur Grundgatter-ICs berücksichtigt. Leitung-Treiber und -Empfänger und andere Spezial-ICs können auch innerhalb einer Familie von den Basis-Anschlüsseigenschaften abweichen. Der Blick ins Datenblatt ist immer ratsam.

Logik-Pegel der TTL-Serien



Logik-Pegel der CMOS-Serien



Grundsaltungen TTL

Es wurden seit der Markteinführung der Standard-TTL-Baureihe im Jahre 1963 einige weitere abgewandelte TTL-Baureihen entwickelt. Ziel war immer, die benötigte Leistung je Gatter zu senken und/oder die Schaltgeschwindigkeit zu erhöhen. Betriebsspannung (5 V), Ein- und Ausgangspegel sowie Pin-Belegung und Funktion des IC-Bausteins gleichen Typs sind aber von Baureihe zu Baureihe gleich.

Die meisten Logik-Schaltungen funktionieren, ausgehend von der Standard-Baureihe 74xx, auch mit jeder anderen TTL-Baureihe, wenn nicht gerade die speziellen Eigenschaften einer bestimmten Baureihe ausgenutzt wird (Verlustleistung, Schaltzeit, Störsicherheit, Lastfaktor u.a.).

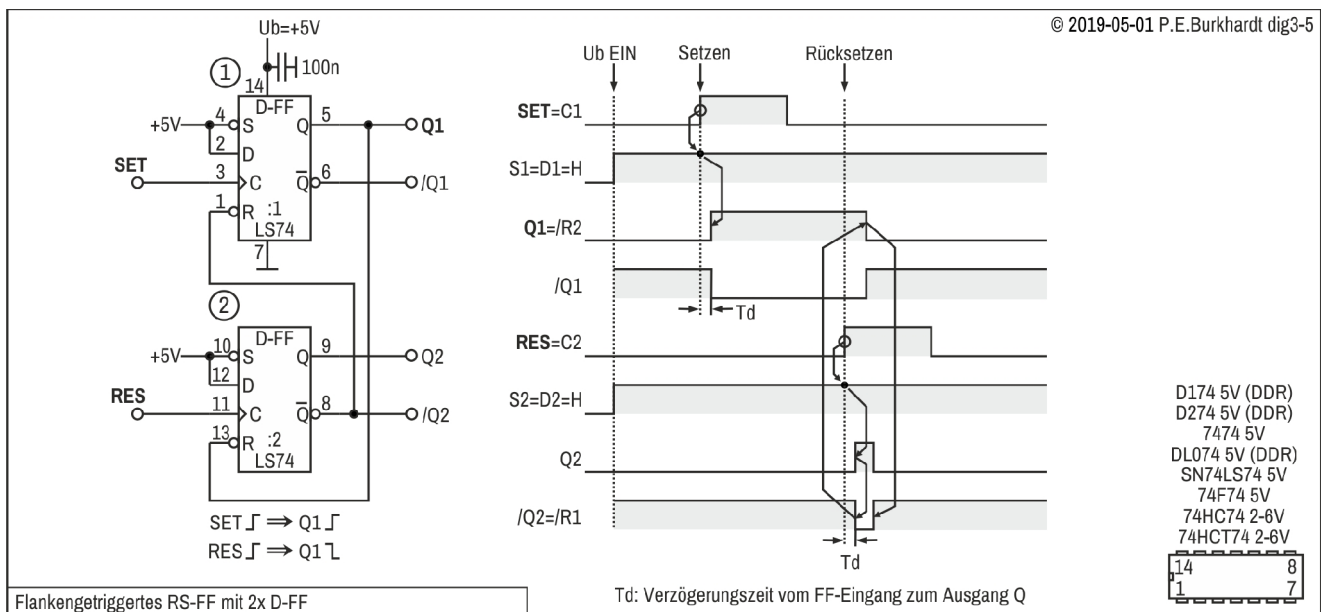
Nun soll hier nicht uralte Technik wiederholt werden. Die folgenden Schaltungen sind aber entweder nach wie vor interessant, um vielleicht in einer der heutigen (2019) CMOS-Baureihen angewendet zu werden. Oder die Bastelkiste bietet einfach noch genügend TTL-ICs, mit denen man auch heute noch vorzüglich arbeiten kann. Darüber hinaus ist es erstaunlich, was man alles mit Grundgattern oder auch niedrig integrierten Bausteinen anfangen kann (FF, Zähler, Schieberegister, Dekoder usw.). Hoch integrierte Bausteine oder auch die Verwendung programmierbarer ICs sind hier kein Thema.

Bistabile Schaltungen (Flip-Flop)

Flankengetriggertes RS-Flip-Flop

Soll ein einfaches RS-FF nicht statisch (zustandsgesteuert), sondern dynamisch (flankengesteuert) gesetzt oder rückgesetzt werden, müssen die Flanken der Eingangssignale ausgewertet werden, um die gewünschte Funktion auszulösen. Wird ein statisches Signal mit einem RC-Glied differenziert, ergibt sich z.B. mit der Einschaltflanke des Signals ein kurzer Impuls, der das FF setzt bzw. rücksetzt. Diese Flankenauswertung mittels RC-Glieder ist aber nur begrenzt einsetzbar, da sie bei dicht aufeinanderfolgenden Eingangsimpulsen fehleranfällig ist. Eine rein digitale Lösung ohne RC-Glieder ist besser.

Normalerweise gibt es zu fast jeder denkbaren Schaltfunktion einen entsprechenden TTL-Schaltkreis. Ein flankengetriggertes FF fehlt aber. Zwei einfache D-Flip-Flops reichen aus, um ein flankengetriggertes FF zu erhalten. Zusätzliche Bauelemente werden nicht benötigt.



Schaltungsbeschreibung

Wirkungsweise D-FF 74xx74

Jede positive Flanke am Takteingang C übernimmt den logischen Wert am Dateneingang D und setzt den zugehörigen Ausgang Q auf diesen logischen Wert. D wird also mit der L/H-Flanke von C abgetastet. Führt D H-Pegel wird Q auf H gesetzt, führt D L-Pegel wird Q auf L gesetzt.

Q auf H setzen bedeutet, das FF wird gesetzt. Q auf L setzen bedeutet, das FF wird zurückgesetzt. Die Eingänge S und R sind L-aktiv und wirken statisch.

In einem DIL-Gehäuse befinden sich 2 unabhängige FFs. Eine Auswahl einiger D-FFs ist im Bild angegeben.

Wirkungsweise des flankengetriggerten FF (siehe auch Diagramm im Bild)

Die S-Eingänge beider D-FF liegen auf +Ub und sind deshalb inaktiv. Ebenso liegen beide Dateneingänge D auf +Ub, d.h. sie führen dauernd H-Signal. Takteingang C des D-FF(1) (oben im Bild) wirkt als SET-Eingang, Takteingang C des D-FF(2) (unten) wirkt als RES-Eingang. Setzen und Rücksetzen ist auf Ausgang Q1 bezogen.

Das Setzen erfolgt mit der L/H-Flanke an SET. Mit Q1 auf H ist das D-FF(2) (unten) freigegeben, da jetzt auch R2 (R von D-FF(2)) auf H liegt und deshalb inaktiv ist. Auch R1 (R von D-FF(1)) ist inaktiv, da /Q2 auf H liegt. Das bedeutet, D-FF(2) ist rückgesetzt.

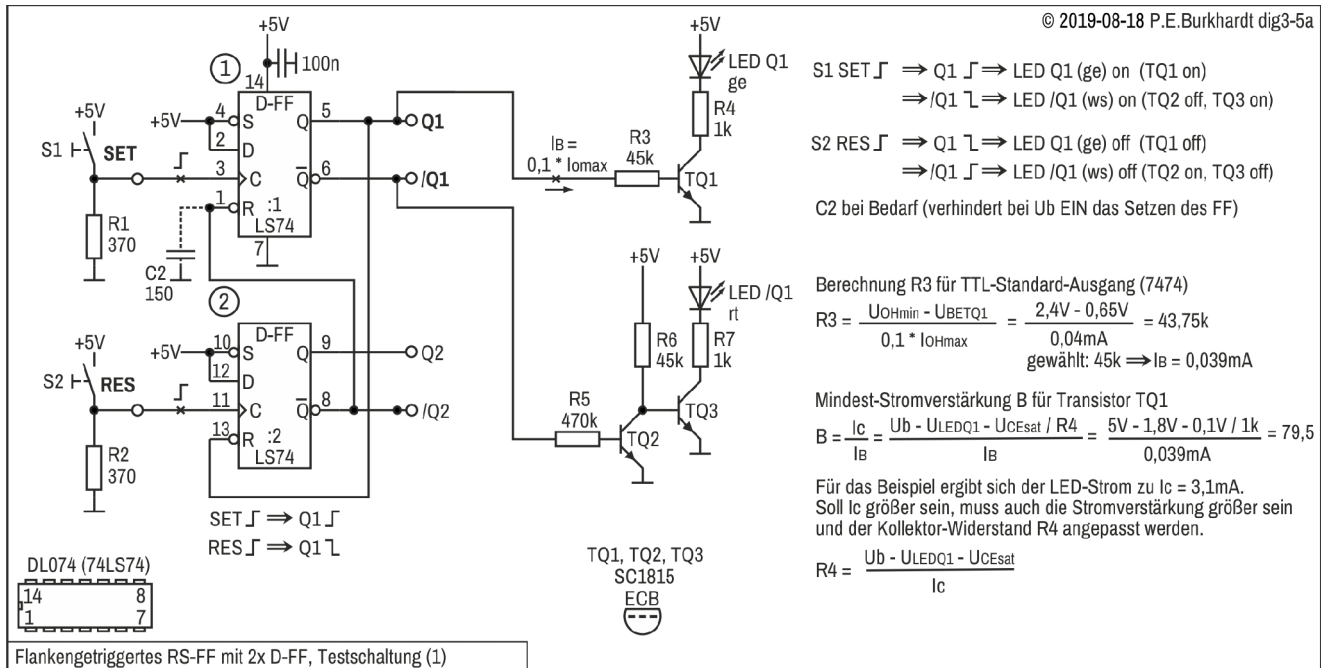
Das Rücksetzen erfolgt mit der L/H-Flanke an RES. Q2 wird gesetzt. Das bedeutet, /Q2 wird jetzt L und setzt damit das D-FF(1) zurück. Das bedeutet, D1 wird jetzt L. Da Q1 mit R1 verbunden ist, wird D-FF(2) sofort rückgesetzt. Weitere L/H-Flanken an RES ändern diesen Zustand nicht.

Wirkungsweise kurzgefasst

L/H-Flanke an SET setzt das FF(1). Das bleibt so, bis eine L/H-Flanke an RES kommt und das FF(2) setzt, dieses setzt das FF(1) zurück und FF(1) setzt dann FF(2) wieder zurück. Eine neue L/H-Flanke an SET kann kommen.

Flankengetriggertes RS-FF, Testschaltung (1)

Um die beschriebenen Vorgänge testen zu können, wurden mehrere Testschaltungen aufgebaut.



Schaltungsbeschreibung

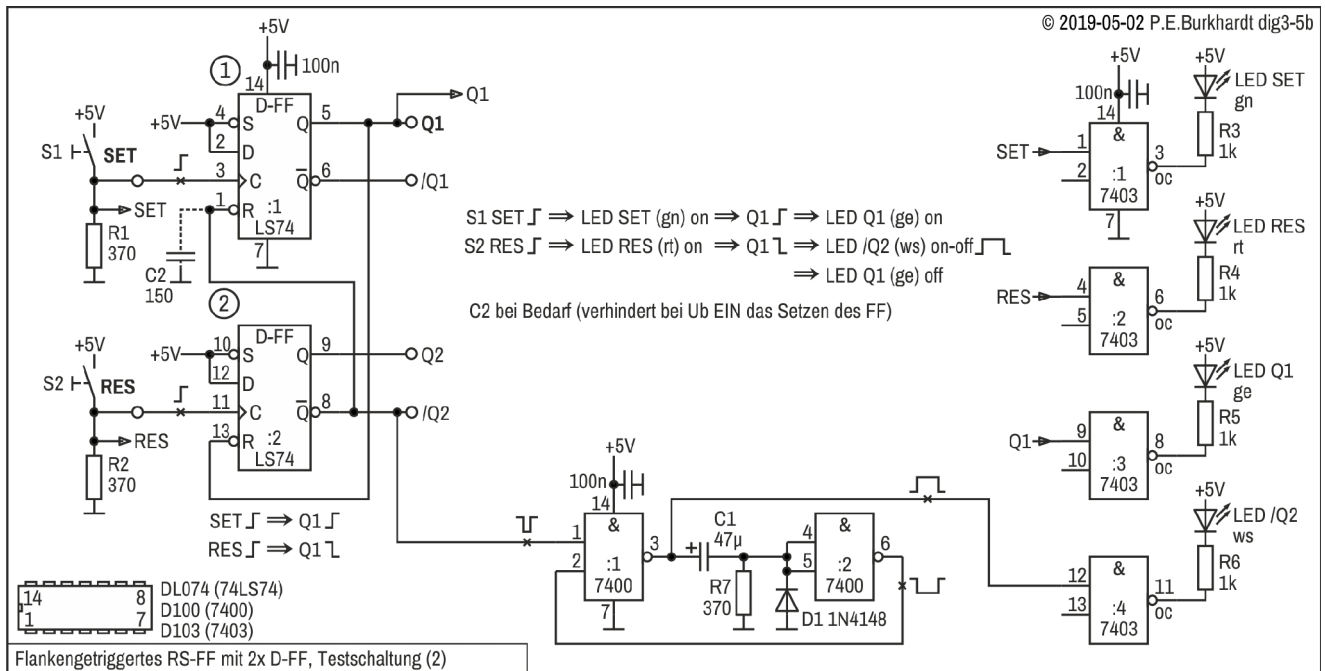
Das RS-FF kann mit Taster S1 gesetzt und mit S2 rückgesetzt werden. Zur Anzeige dienen die LED Q1 für das Setzen und die LED /Q1 für das Rücksetzen. Führt Q1 logisch H, ist das D-FF(1) gesetzt und LED Q1 leuchtet. Führt /Q1 logisch L, ist das D-FF(1) gesetzt und LED /Q1 leuchtet. Beim Setzen des FF mit Taster S1 leuchten also beide LEDs auf, beim Rücksetzen mit S2 verlöschen sie.

Rechts im Bild ist für die LED Q1 die Berechnung des LED-Treibers angegeben. Dabei wurde berücksichtigt, dass der FF-Ausgang Q1 nur mit 1/10-tel der möglichen Maximallast belastet wird. Der Ausgang Q1 kann also noch weitere 9 TTL-Eingänge treiben.

Für den Treiber der LED /Q1 sieht es noch günstiger aus, da dem Treibertransistor TQ3 der Negator TQ2 vorgeschaltet ist. R5 kann entsprechend hochohmig sein.

Zur Berechnung der LED-Treiber für D-FFs verschiedener TTL-Serien kann das Bild "Logik-Pegel der TTL-Serien" zuhulfe genommen werden. Dort sind die Ein- und Ausgangspegel sowie deren Belastbarkeit angegeben.

Flankengetriggertes RS-FF, Testschaltung (2)

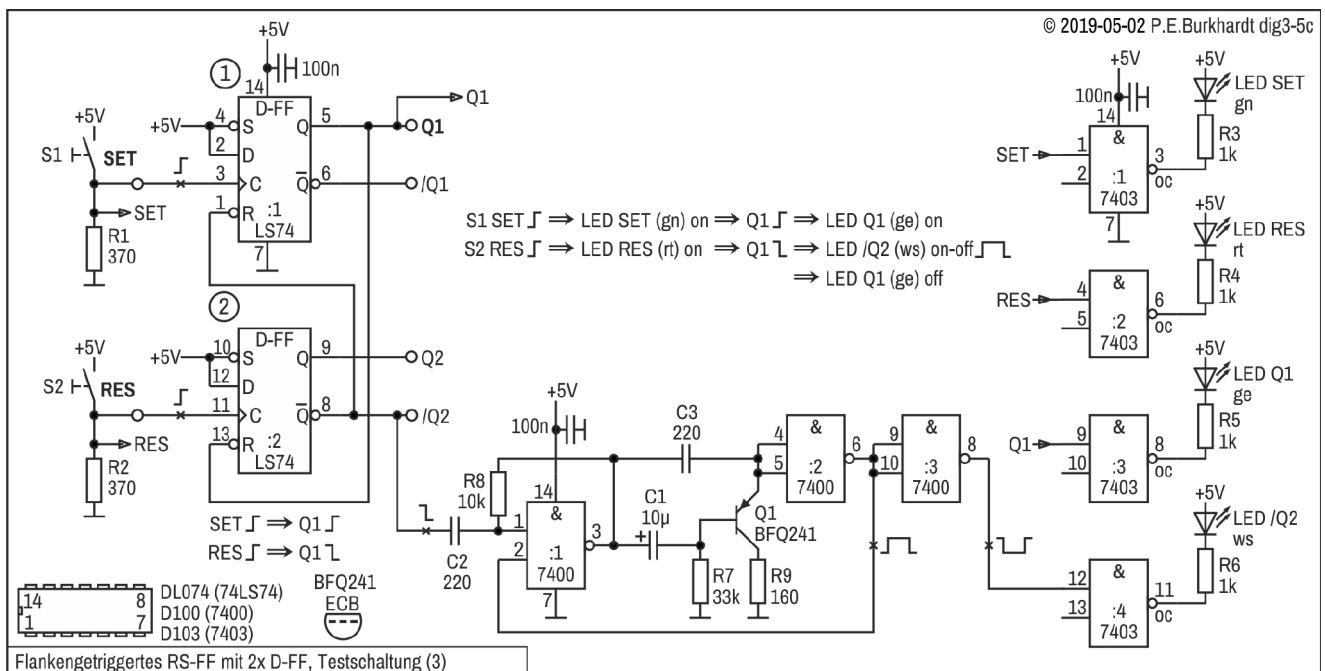


Schaltungsbeschreibung

In der Testschaltung (2) wurden insgesamt 4 LEDs zur Anzeige verschiedener Pegel eingesetzt. Die LEDs werden vom OC-Ausgangstransistor (OC = Open Collector) des 7403 angesteuert. Der entsprechende DDR-Typ D103D ist in großer Anzahl in meiner Bastelkiste verfügbar. Natürlich können auch Transistortreiber verwendet werden.

Damit auch der nur kurze L-Impuls am Ausgang /Q2 sichtbar wird, verlängert ein Monoflop (Gatter 7400:1 und 7400:2) diesen Impuls. Details zur Dimensionierung enthält das Bild.

Flankengetriggertes RS-FF, Testschaltung (3)



Schaltungsbeschreibung

In der Testschaltung (3) wird wieder der 7403 als LED-Treiber verwendet. Die Aufbereitung des Impulses am Ausgang /Q2 ist etwas aufwendiger. Es wird nur mit der fallenden Flanke von /Q2 getriggert. Gatter 7400:1 und 7400:2 wirken zusammen mit Transistor Q1 als Monoflop, Gatter 7400:3 wird als Negator den Treiber 7403:4 benötigt.

Grundsaltungen CMOS

Verwendete CMOS-Serie

In der folgenden Schaltungsauswahl werden ICs der CMOS-Serie 4000B, der LOCMOS-Serie HEF4000B und der High-Speed-CMOS-Serie 74HC(T) verwendet. Der Betriebsspannungsbereich der Serien 4000B und HEF4000B ist 3 bis 15 V. Die 74HC-Serie dagegen benötigt 2 bis 6 V, die 74HCT-Serie 5 V. Die 74HC (T)-Serie ist pinkompatibel mit der TTL-Serie 7400 sowie größtenteils auch mit der TTL-LS-Serie.

Aufbau der Schaltungen

Alle Schaltungen sind mit einfachen Mitteln (Steckboard, Analog-Oszi) getestet. Manche Schaltungseigenschaft stellt sich erst beim praktischen Aufbau heraus. Die folgende Beschreibung ist relativ ausführlich, um Verständnis und Anwendung zu erleichtern.

Beim Test auf dem Steckboard müssen alle CMOS-Eingänge mit einem Signalpegel belegt sein. Das Potential offener CMOS-Eingänge stellt sich in der Nähe der Umschaltsschwelle ein (meist halbe Betriebsspannung), so dass geringste Potentialverschiebungen und Signaleinstreuungen zum Umschalten des Gatters führen. Die Folge sind Schwingungen und erhöhte Stromaufnahme des Schaltkreises. Deshalb müssen auch die Eingänge unbenutzter Gatter ein definiertes Potential haben.

Zwar ist die Stromaufnahme von CMOS-ICs gegenüber TTL-ICs sehr gering, trotzdem sollte an der Spannungsversorgung ein kleiner Stütz-Elko und ein parallel geschalteter Keramik-Kondensator nicht fehlen. So manche Schaltung funktioniert auf dem Steckboard nur deshalb nicht, weil ungewollte (und oft unerkannte) Schaltvorgänge die normale gewünschte Funktion stören.

Digitale Schaltung mit RC-Glied

In fast allen signalformenden Schaltungen bestimmt ein RC-Glied die Veränderung des normalerweise rechteckförmigen Signals. Damit ist die Schaltung keine reine digitale Schaltung mehr, sondern hat gewissermaßen einen analogen Anteil. Der zeitbestimmende (und deshalb meist frequenzbestimmende) Widerstand sollte langzeitstabil und deshalb ein Metallschicht-R sein. Da aufgrund der hochohmigen CMOS-Eingänge vorzugsweise hochohmige Widerstände zum Einsatz kommen, ist die Auswahl qualitativ guter Widerstände besonders wichtig. Für den Kondensator kommt nur ein stabiler Folien- oder Filmtyp in Frage, Elkos oder Keramik-Cs sind weniger geeignet.

Spannungsspitzen durch Kondensatoren

Die schlagartigen Umschaltvorgänge bei der Impulserzeugung bewirken, dass durch den zeitbestimmenden Kondensator Spannungsspitzen erzeugt werden (differenzierende Wirkung beim Ein- und Ausschalten der Spannung über dem Kondensator). Im positiven Bereich kann die Spitze das 2-fache der Betriebsspannung, im negativen Bereich das 1-fache der Betriebsspannung erreichen (schaltungsabhängig). CMOS-Eingänge sind nur für maximal 0,5 V über + U_b und -0,5 V unter GND spezifiziert. Deshalb sind in den meisten Fällen besondere Maßnahmen zur Begrenzung der Umschaltspitzen nötig.

Schutz der CMOS-Eingänge

Die CMOS-Eingänge sind intern mittels Widerstand und Schutzdioden vor Zerstörung geschützt. Dieser Schutz ist aber vorzugsweise nur für die Handhabung der ICs vorgesehen (statische Aufladung beim Berühren der Pins, Überspannung durch Reibung auf gut isolierenden Oberflächen u.ä.). Schaltungstechnisch sollte der interne Schutz nur dann genutzt werden, wenn der zu erwartende Energiegehalt der Überspannung sehr gering ist. Der durch zu hohe Spannung verursachte Eingangsstrom darf 10 mA auf keinen Fall überschreiten. Dieser Wert ist der absolut höchst zulässige Spitzenwert.

Spannungsspitzen, wie sie bei den hier betrachteten Schaltungen durch einen Kondensator verursacht sind, sollten durch zusätzliche Dioden und strombegrenzende Widerstände schon vor dem CMOS-Eingang abgefangen werden. Dies gilt insbesondere dann, wenn der Kondensator wesentlich größer als 1 μF ist. In vielen publizierten Schaltungen ist dieser Aspekt oft vernachlässigt.

Schaltsschwellen bei Standard-Gatter-Eingängen

Die Schaltschwelle eines CMOS-Eingangs, bei der sich der Logikpegel des Ausgangs ändert, liegt regelmäßig bei ca. 50 % der Betriebsspannung. Durchläuft das Eingangssignal diesen Punkt zu langsam, d.h. ist die Steilheit des Signals zu gering, kann es am CMOS-Ausgang zum ungewollten mehrmaligen Pegelwechsel kommen. Der Ausgang schwingt kurz, bevor sich der neue (gewollte) Logikpegel einstellt.

Schaltsschwellen UTH und UTL bei Trigger-Eingängen

Wesentlichen Einfluss auf die Stabilität der MMV-Haltezeit haben die Schaltschwellen der Gatter-Eingänge. Die positive Schaltschwelle UTH (L/H-Flanke am Gatter) liegt höher als die negative Schaltschwelle UTL (H/L-Flanke). Bei UTH (im Datenblatt VP bzw. VT+, positive-going Voltage Threshold Level) wechselt der Gatterausgang von H nach L. Bei UTL (im Datenblatt VN bzw. VT-, negative-going Voltage Threshold Level) wechselt der Gatterausgang von L nach H. Die Umschaltung erfolgt bei Trigger-Gattern schlagartig, egal wie langsam sich das Eingangssignal ändert. Die Differenz zwischen beiden Schwellen ist die Hysterese. Sie beträgt ca. 20 % der Gatter-Betriebsspannung und bestimmt maßgeblich den Störabstand des Nutzsignals.

Monostabile Generatoren (MMV)

Prinzip des Monoflops (MMV)

Zweck der monostabilen Kippschaltung (monostabiler Multivibrator) ist es, einen Ausgangsimpuls definierter Länge zu erzeugen. Dazu muss ein Impuls (Triggerimpuls oder Triggerflanke) den Beginn des Ausgangsimpulses auslösen (triggern). Das Monoflop hat einen stabilen Zustand vor/nach dem Ausgangsimpuls und einen quasi-stabilen Zustand während des Ausgangsimpulses. In den quasi-stabilen Zustand gelangt das Monoflop durch den Triggerimpuls, verharrt dort eine bestimmte Zeit und kehrt danach wieder in den Ausgangszustand zurück. Die Zeit wird durch ein RC-Glied bestimmt.

Monoflop mit 2 Standard-Gattern

Monoflop Triggern mit H/L-Flanke (2x NAND)

Monoflop Triggern mit L/H-Flanke (2x NOR)

© 2019-08-21 P.E.Burkhardt gen1-cmos12

$$T_m = R \cdot C \cdot 0,7$$

$$T_m [\text{ms}] = R [\text{k}\Omega] \cdot C [\mu\text{F}] \cdot 0,7$$

Wertebereiche
 Ub 3 bis 15V
 R 1k bis 5M
 C 1n bis 10μ (Folie)

Bsp.: R=100k
 C=10n
 Tm=0,7ms

R2 ist nur nötig, wenn der Eingang U1 nicht beschaltet ist. (MMV-Triggerung über S1)

4-fach-NOR
(3-15V)
CD4001B
HEF4001B
HCF4001B

4-fach-NAND
(3-15V)
CD4011B
HEF4011B
HCF4011B

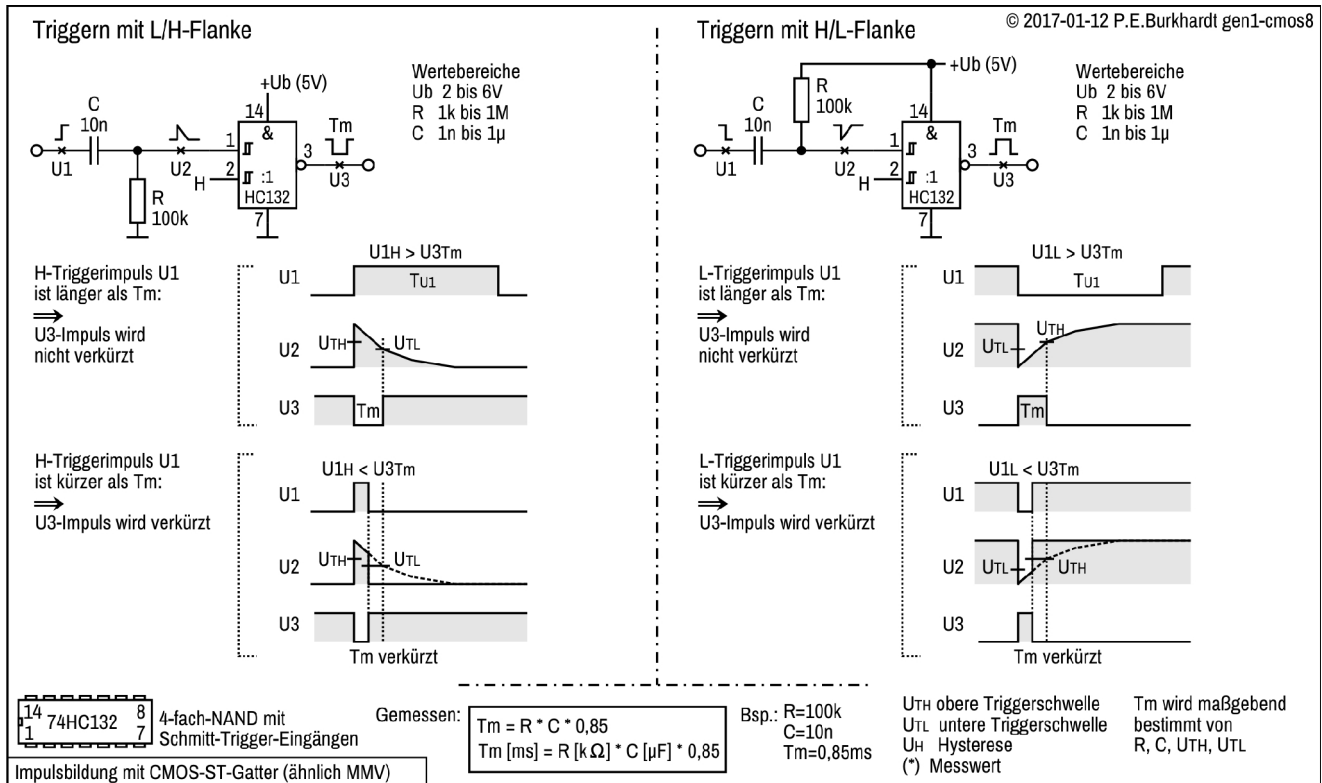
MMV mit CMOS-Standard-Gatter

alle Dioden 1N4148

Impulsbildung mit Trigger-Gattern

Prinzip der Impulsverkürzung

Die folgende Schaltung ist eigentlich kein MMV, liefert aber ähnlich dem MMV einen vom Eingangssignal ausgelösten Impuls definierter Länge. Die Impulslänge wird vom eingangsseitigen RC-Glied und den Umschaltsschwellen des Gatters bestimmt. Wegen der langsam abfallenden bzw. ansteigenden Rückflanke des differenzierten Eingangsimpulses ist ein Gatter mit Trigger-Eingängen besonders gut geeignet.



Schaltungsbeschreibung

Eigenschaften

- Triggern mit der L/H-Flanke (im Bild links) bzw. mit der H/L-Flanke (im Bild rechts) eines Eingangsimpulses U_1 , vorausgesetzt die Flanke ist steil genug
- Die Ausgangs-Impulslänge T_m wird durch die Impulsbreite des differenzierten Eingangsimpulses U_1 bestimmt.
- Bildung des Ausgangsimpulses U_3 der Dauer T_m , wobei T_m von den Werten des RC-Differenzierglieds und von den Gatter-Schaltsschwellen abhängt
- Die Impulslänge T_m wird verkürzt, wenn der Eingangsimpuls U_1 kürzer als die von R und C bestimmte Zeit T_m ist.
- Nachtriggern ist nicht möglich.

Verkürzung des Ausgangsimpulses U_3

Der differenzierte Eingangsimpuls U_2 wird sofort abgebrochen, d.h. geht auf L (im Bild links) bzw. auf H (im Bild rechts), wenn die Länge des Eingangsimpulses so kurz ist, dass sich der Kondensator C noch nicht über R entladen bzw. aufgeladen hat. Dieses vorzeitige Unterschreiten der unteren Gatter-Schwelle U_{TL} (im Bild links) bzw. der oberen Gatter-Schwelle U_{TH} (im Bild rechts) bewirkt, dass der Ausgangsimpuls U_3 kürzer ist, als er wegen der RC-Zeitkonstante (T_m) sein müsste.

Impulslänge T_m

Der Zusammenhang zwischen R, C und T_m ist im Bild angegeben. Der Faktor 0,85 wurde per Messung ermittelt und hängt vom verwendeten Gatter-Typ 74HC132 ab. Andere Quellen nennen den Faktor 0,7. Allerdings wird dabei oft nicht angegeben, welcher IC verwendet wird und deshalb nicht bekannt ist, wo die Umschaltsschwellen liegen.

Der RC-Wertebereich sollte wie angegeben sein. Natürlich sind auch extreme R - und C -Werte möglich. Die Reproduzierbarkeit von T_m ist dann aber nicht mehr so gut. Besonders bei höheren C -Werten ist zu prüfen, ob eine Schutzdiode mit Begrenzungswiderstand vor dem Gattereingang erforderlich ist, um den Strom durch die internen Schutzdioden zu begrenzen. Beim 74HC132 sind maximal ± 20 mA zulässig.

Fazit

Die Impulsbildung mit nur einem Trigger-Gatter ist einfach, erfordert aber eine gewisse Mindeststeilheit der auslösenden Triggerflanke des Eingangssignals. Ist diese Flanke zu flach, kann die entsprechende Trigger-Schwelle nicht erreicht werden, da der differenzierte Impuls zu klein ist oder garnicht gebildet wurde.

Zweckmäßigerweise sollte das Eingangssignal mit einem vorgeschalteten Trigger-Gatter in Form gebracht werden. Außerdem muss die Eingangsimpuls-Länge groß genug sein, damit die mit dem RC-Glied gewünschte Ausgangsimpuls-Länge T_m erreicht wird.

Normale CMOS-Gatter (ohne Triggereingang) können nur verwendet werden, wenn sehr kurze Impulszeiten T_m realisiert werden sollen. Dann ist auch die fallende Flanke des differenzierten Eingangsimpulses noch so schnell, dass die Mindeststeilheit der Gatter-Eingangsimpulse gewährleistet ist.

Monoflop mit 2 Trigger-Gattern

Die folgende Schaltung ist ein richtiger MMV (monostabiler Multivibrator), da er eine Verriegelung vom Ausgang zum Eingang hat. Die H/L-Flanke des Eingangssignals löst die Haltezeit T_m aus. Der L-aktive Ausgangsimpuls hat die durch R und C bestimmte Länge, egal ob der Eingangsimpuls länger oder kürzer als die Haltezeit ist.

Monoflop Triggern mit H/L-Flanke

Wertebereiche
 U_b 2 bis 6V
 R 1k bis 1M
 C 1n bis 1 μ

Gemessen: $T_m = R \cdot C \cdot 0,85$
 $T_m [ms] = R [k\Omega] \cdot C [\mu F] \cdot 0,85$

Bsp.: R=100k
 C=10n
 $T_m=0,85ms$

U_{TH} obere Triggerschwelle
 U_{TL} untere Triggerschwelle
 U_H Hysterese
 (*) Messwert

T_m wird maßgebend bestimmt von R, C, U_{TH} , U_{TL}

U1-H/L darf prellen (wird unterdrückt)
 U1-L/H nach T_m -Ablauf bewirkt neue Triggerung

U1-Prellen wird unterdrückt

© 2017-01-12 P.E.Burkhardt gen1-cmos9

L-Triggerimpuls U1 ist länger als T_m :
 \Rightarrow U4-Impuls wird nicht verkürzt, T_m bleibt

U1-H/L darf prellen (wird unterdrückt)
 U1-L/H nach T_m -Ablauf bewirkt neue Triggerung

L-Triggerimpuls U1 ist kürzer als T_m oder wechselt während T_m :
 \Rightarrow U4-Impuls wird nicht verkürzt, T_m bleibt

U1-Prellen wird unterdrückt

4-fach-NAND mit Schmitt-Trigger-Eingängen

MMV mit CMOS-ST-Gatter

Schaltungsbeschreibung

Eigenschaften

- Triggern mit der H/L-Flanke des Eingangsimpulses U1, wobei U1 langsame Flanken haben darf
- Haltezeit T_m wird von R und C bestimmt, unabhängig von der Länge des Eingangssignals
- Das Eingangssignal kann von einem Kontakt kommen, Prellungen werden unterdrückt.
- Erneutes Triggern nach Ablauf von T_m möglich.
- Nachtriggern ist nicht möglich.

Impulslänge T_m

Der Zusammenhang zwischen R, C und T_m ist im Bild angegeben. Der Faktor 0,85 wurde per Messung ermittelt. Bei langen Zeiten im Sekundenbereich (großer Kondensator) wurden Abweichungen in Richtung Faktor 1,0 festgestellt.

Fazit

Das Monoflop liefert einen vom Eingangssignal unabhängigen L-Impuls definierter Länge. Eingangssignal-Wechsel und Eingangssignal-Länge wirken sich nicht auf die Haltezeit aus. Das Triggern mit einem mechanischen Kontakt ist möglich.

Monoflop als Zeitgeber

Die Schaltung basiert auf dem im vorigen Abschnitt beschriebenem Monoflop mit 2 Trigger-Gattern. Der MMV wird mit Starttaste S1 getriggert. Soll die Haltezeit vorzeitig abgebrochen werden, kann der MMV mit Stoptaste S2 rückgesetzt werden.

Monoflop-Haltezeit Triggern mit Start-Taste, Abbrechen mit Reset-Taste

© 2017-01-13 P.E.Burkhardt gen1-cmos10

Das Prellen der Tasten S1 und S2 wird unterdrückt.
 Nachtriggern mit Start-Taste S1 ist nicht möglich, Neustart erst nach Ablauf der Haltezeit Tm.
 Start-Taste S1 sollte nicht länger als Tm gedrückt werden, andernfalls kann es beim S1-Öffnen durch Kontaktprellen zur Neutriggerung kommen.
 Haltezeit-Stopp ist mit S2 immer möglich.
 Bei S2=EIN ist kein Neustart möglich, nur U4-L-Impuls = 0,1ms (U1-L-Länge), d.h. Triggersperre.
 Mit Pin 5 auf L ist Impulssperre möglich (U4=H).
 R4 und D1 schützen den Gatter-Eingang Pin 4 bei großem Elko C.
 Zur manuellen Zeiteinstellung R durch ein Poti ersetzen (dann in Reihe zum Poti R=1k).

Gemessen: $T_m = R * C * 1,0$
 Wertebereiche $T_m [s] = R [M\Omega] * C [\mu F] * 1,0$
 Ub 3 bis 6V
 R 1k bis 1M
 C 100n bis 10µ

Bsp.: R=1M C=10µ Tm=10,0s
 R=1k C=10µ Tm=10ms

Ub-Abhängigkeit ist minimal
 (bei 3 bis 6 V keine messbare Änderung)

4-fach-NAND mit Schmitt-Trigger-Eingängen

MMV mit CMOS-ST-Gatter als Zeitgeber mit Start-/Stopp-Taste

Haltezeit-Start mit S1

Ue wird differenziert

1. U1-Nadel triggert

U2 wird H

U3 wird H und Haltezeit beginnt (C entlädt sich über R)

U4 (Haltezeit) ist L, solange sich C entlädt

U4, U5 Tm normal

ab hier mit S2-Reset:

S2 on off

S2-Prellen

U5 wird H, U2 wird L

C wird schnell entladen

U4 wird H und damit die Haltezeit beendet

S2-Tasten-Prellen wird unterdrückt.

U3 UTH UTL

U4 Tm

verkürzt Haltezeit-Stopp durch S2-Reset

Schaltungsbeschreibung

Eigenschaften

- Triggern mit der H/L-Flanke des Eingangsimpulses U1, d.h. Schließen von Starttaste S1, Prellen wird unterdrückt
- Abbrechen der Haltezeit Tm mit Resettaste S2, Prellen wird unterdrückt
- Haltezeit Tm wird von R und C bestimmt, unabhängig davon, wie lange S1 gedrückt wird.
- Erneutes Starten mit S1 ist nach Ablauf der Haltezeit Tm möglich.
- Nachtriggern ist nicht möglich.

Impulslänge Tm

Der Zusammenhang zwischen R, C und Tm ist im Bild angegeben. Der Faktor 1,0 wurde per Messung ermittelt.

Differenzieren des S1-Startsignals

C2 und R2 differenzieren die Ue-H/L-Flanke. Somit wird das 1. Gatter (Pin 2) nur mit einer L-Nadel angesteuert, die den Beginn der Haltezeit Tm auslöst. Weitere Nadelimpulse, z.B. verursacht durch Kontaktprellen, wirken sich innerhalb der Haltezeit Tm nicht aus.

Impulssperre

Wird Pin 5 des Gatters 2 auf L gelegt, führt der Ausgang ständig H, was einer Impulssperre entspricht. Mit anderen Worten, die L-aktive Haltezeit kann nicht wirksam werden. Das ist übrigens eine zweite Möglichkeit, die laufende L-aktive Haltezeit vorzeitig zu beenden. Allerdings ist dazu am Pin 5 ein prellfreies Signal erforderlich.

Fazit

Der Zeitgeber kann mit Taster gestartet, vorzeitig gestoppt und mit einem zusätzlichen Signal gesperrt werden. Die Reproduzierbarkeit der Haltezeit ist aufgrund der stabilen IC-Triggerschwellen sehr gut.

Monoflop, nachtriggerbar

Das im Folgenden beschriebene Monoflop arbeitet mit einem oder zwei Trigger-Gattern. Die Schaltung mit einem Gatter (im Bild links) ist im Gegensatz zu den vorigen MMVs nachtriggerbar. Das bedeutet, eine laufende Haltezeit kann durch erneutes Triggern (z.B. erneutes Drücken der Starttaste S1) neu gestartet und damit verlängert werden.

Triggern mit H/L-Flanke, Haltezeit verlängert

U1-L entlädt C über D1, U2 wird L und U3 wird H. U1-L/H-Flanke triggert (gibt C-Aufladung frei), Tm beginnt. ⇒ C-Ladung steigt, U2 wird H und U3 wird L, Tm ist zu Ende.

mit S1-Triggern: S1-Prellen wird unterdrückt, verzögert aber den Tm-Start

Mit S1=EIN ist U3=H (Dauerimpuls U3).

Mit Pin 2 auf L ist Impulssperre möglich (U3=H).

Triggern mit H/L, Haltezeit-Beginn verzögert

U1-L entlädt C über D1, U2 wird L und U3 wird H. U1-L/H-Flanke triggert (gibt C-Aufladung frei), Tm beginnt. Mit U1=H und U2=L folgt U4=L. ⇒ C-Ladung steigt, U2 wird H, U3 wird L und U4 wird H, Tm ist zu Ende.

mit S1-Triggern: S1-Prellen wird unterdrückt, verzögert aber den Tm-Start

Mit S1=EIN ist U4=H (Impulssperre U4).

Mit Pin 2 auf L ist U4=U1 (U1 invertiert am Ausgang).

© 2017-01-13 P.E.Burkhardt gen1-cmos11

Wertebereiche
 Ub 2 bis 6V
 R 1k bis 1M
 C 1n bis 10µ
 R1 ≧ 100Ω bis 1k

Gemessen: $T_m = R * C * (0,72...0,95)$
 $T_m [ms] = R [k\Omega] * C [\mu F] * \approx 0,85$

Bsp.: R=100k C=100n Tm=7,2ms
 R=1M C=10,1µ Tm=9,6s

UTH obere Triggerschwelle
 UTL untere Triggerschwelle

Schaltungsbeschreibung

Eigenschaften

- Triggern mit der H/L-Flanke des Eingangsimpulses U1, d.h. Schließen von Starttaste S1, Prellen wird unterdrückt
- Haltezeit Tm wird von R und C bestimmt
- Schaltung mit 1 Gatter (im Bild links): Ausgangs-H-Impuls U3 wird um die U1-L-Zeit (bzw. um die Zeit der gedrückten Taste S1) verlängert.
- Schaltung mit 2 Gatter (im Bild rechts): Ausgangs-L-Impuls U4 wird um die U1-L-Zeit (bzw. um die Zeit der gedrückten Taste S1) verzögert. Die Länge Tm bleibt.
- Erneutes Starten mit S1 ist nach Ablauf der Haltezeit Tm möglich.
- Nachtriggern ist bei der Schaltung mit 1 Gatter (im Bild links) möglich.
- Die Schaltung mit 2 Gatter (im Bild rechts) kann wie die Schaltung mit 1 Gatter verwendet werden, wenn der H-aktive U3-Impuls genutzt wird.

Impulslänge Tm

Der Zusammenhang zwischen R, C und Tm ist im Bild angegeben. Der Faktor 0,85 ist ein Mittelwert und ist bei kleinem Kondensator C geringer, bei größerem Kondensator etwas größer. Die Wiederholgenauigkeit (bei konstantem C) ist aber gut.

Widerstand R1

Über Diode D1 und Widerstand R1 wird C entladen, sobald U1 von H nach L geht. Damit die C-Entladung schnell geht, sollte R1 niederohmig sein. Andererseits darf der Entladestrom bei Ansteuerung mit einem vorgeschalteten CMOS-Gatter nicht zu hoch werden, damit der Gatterausgang nicht überlastet wird. Kleiner als 100 sollte R1 nicht sein.

Fazit

Das Nachtriggern ist beim MMV mit einem Gatter (im Bild links) eine oft gewünschte Eigenschaft. Der Vorzug des MMV mit zwei Gattern (im Bild rechts) ist die exakte Haltezeit Tm entsprechend R und C, auch wenn die Starttaste S1 länger gedrückt wird.

Astable Generatoren mit Standard-Gattern

Prinzip des astabilen Multivibrators (AMV)

Die astabile Kippschaltung kennt keinen stabilen Zustand während des normalen Betriebs. Sofort nach dem Einschalten oder einer Freigabe wechselt die Ausgangsspannung ständig zwischen High (H) und Low (L). H- und L-Zeit werden durch die Lade- und Entladezeit eines RC-Gliedes bestimmt. Die Kippschaltung pendelt also immer zwischen zwei quasi-stabilen Zuständen, bis das Ausschalten erfolgt oder die Freigabe zurückgenommen wird.

Standard-Gatter oder Trigger-Gatter?

Mit CMOS-Standard-Gattern aufgebaute Generatoren haben bei einfachem Aufbau relativ gute Eigenschaften, wie z.B. Stabilität der Umschaltswelle (geringes Jittern), Temperatur-Unabhängigkeit und geringe Abhängigkeit von der Betriebsspannung.

Noch bessere Eigenschaften haben Gatter mit Trigger-Eingängen. Die Ein- und Ausschaltswelle eines Trigger-Gatters ist unterschiedlich, d.h. es wirkt eine Hysterese. Durch diese Hysterese ist der Eingang störunempfindlich und es können auch Signale verarbeitet werden, die nur langsam ansteigen (oder abfallen). AMVs mit Trigger-Gattern sind weiter unten beschrieben.

Die besten Ergebnisse liefern spezielle Oszillator-ICs (z.B. 4047), die aber hier nicht betrachtet werden sollen.

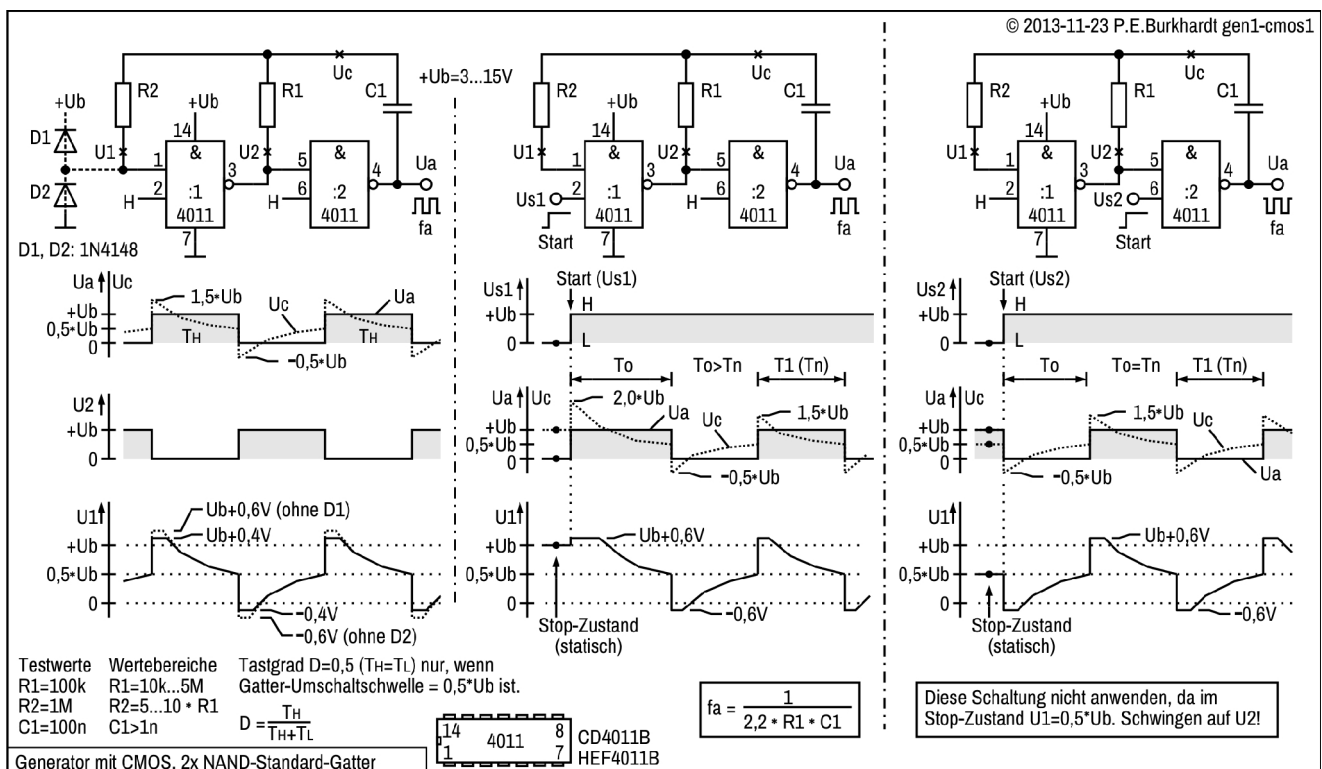
NAND- und NOR-Technik

Prinzipiell können Generatoren mit Negatoren, Gattern in NAND-Technik oder Gattern in NOR-Technik aufgebaut werden. Für die Generatorfunktion erforderlich sind Verstärkung und 180°-Phasenverschiebung der logischen Schaltung. Negatoren mit nur einem Eingang und einem Ausgang erfüllen dies bereits. Gatter mit mehreren Eingängen bieten darüberhinaus zusätzliche Möglichkeiten, wie z.B. eine Start-/Stopp-Funktion. Wie zusätzliche Eingänge beschaltet werden müssen, hängt von der logischen Gatterfunktion ab. Deshalb wird im Folgenden zwischen NAND und NOR unterschieden.

Generator mit 2 NAND-Gatter (Grundsaltung)

Der Generator kommt mit 2 CMOS-NAND-Gattern aus. Wieviele Eingänge die NAND-Gatter haben, ist nicht bedeutsam. In dieser Schaltung wird ein zusätzlicher Eingang für die Start-/Stopp-Funktion benutzt. Ohne diese Funktion könnte der Generator auch mit nur 2 Standard-Negatoren (ohne Triggereingänge) aufgebaut werden. Nicht benutzte NAND-Eingänge sind an H-Pegel zu legen (+Ub).

Im folgenden Bild ist links die Grundsaltung (ohne Start-Eingang), in der Mitte und rechts je eine Variante mit Start-Eingang gezeigt. Die jeweiligen Diagramme darunter enthalten wesentliche Spannungsverläufe.



Schaltungsbeschreibung der Grundsaltung (Bild links)

Wirkungsweise

Kondensator C1 wird vom Gatterausgang 2 (Pin 4) im Wechsel an +Ub und GND geschaltet. Das C1-Entladen erfolgt über Widerstand R1 jeweils bis zur Gatter-Schaltswelle (halbe Betriebsspannung). Die Zeitkonstante $C1 \cdot R1$ bestimmt, wie lange die Entladung jeweils dauert, d.h. C1 und R1 bestimmen die erzeugte Frequenz fa.

Rückkopplung als Schwingbedingung

Damit die Schaltung schwingt, muss Gatterausgang 1 im richtigen Zeitpunkt umgeschaltet werden. Das geschieht mit der Kondensatorspannung Uc durch Rückführung auf den Eingang des Gatters 1. Uc pendelt aber nicht nur zwischen +Ub und GND hin und her. Die Ua-Umschaltflanke bewirkt, dass Uc bei der Ua-L/H-Flanke das 1,5-fache von +Ub erreicht, bei der Ua-H/L-Flanke dagegen den GND-Pegel um das 0,5-fache von +Ub unterschreitet.

Würde nun Uc direkt auf den Gattereingang 1 (Pin 1) rückgekoppelt und würde das Gatter keine Eingangsschutzschaltung mit Dioden haben, käme es unweigerlich zur Zerstörung des Gattereingangs. Die interne Schutzschaltung verhindert dies. Auch ohne Widerstand R2 (Kurzschluss) schwingt der Generator. Allerdings beeinflussen die internen Dioden die C1-Umladung und damit die Zeitkonstante, d.h. letztlich die Generatorfrequenz.

Interner Gate-Schutz, Schutzwiderstand R2 und externe Dioden

Zur Entkopplung ist R2 eingefügt, der zusätzlich den durch Uc verursachten Gatter-Eingangsstrom begrenzt. Im normalen +Ub-Bereich ist der CMOS-Gatter-Eingangsstrom nahe Null. Nur bei Pegeländerung fließt ein kapazitiv verursachter geringer Strom durch die Eingangskapazität von ca. 5 bis 7,5 pF je Gattereingang. Der CMOS-Eingang ist also prinzipiell sehr hochohmig (Gigaohm-Bereich).

Wird der Bereich zwischen +Ub und GND verlassen, beginnen die internen Schutzdioden nach Überschreiten der jeweiligen Dioden-Fluss-Spannung (ca. 0,5 V) zu leiten. Jetzt wirken strombegrenzend nur ein relativ niederohmiger interner Schutzwiderstand (meist um die 2 k Ω) und die inneren Schaltkreisstrukturen, d.h. der Eingang wird niederohmig. Das führt zur o.g. Beeinflussung (Erhöhung) der Generatorfrequenz.

Widerstand R2 verhindert dies wirkungsvoll. R2 dient bei Begrenzung durch die Schutzdioden als Vorwiderstand. Er sollte idealerweise das 10-fache von R1 betragen, etwas weniger reicht aber auch. Zu beachten ist, je größer der Kondensator C1 ist (je niedriger also die gewünschte Generatorfrequenz), desto energiereicher sind die Uc-Schaltspitzen. Vorteilhaft ist deshalb besonders bei hoher Betriebsspannung der Einsatz zusätzlicher Begrenzungsdioden D1 und D2. Immerhin wird die Uc-Überspannung von ca. 0,6 V (ohne D1, D2) auf ca. 0,4 V (mit D1, D2) verringert. Noch besseren Schutz bieten Schottky-Dioden, die dann nur noch ca. 0,2 V Überspannung zulassen.

Nach oben ist dem Widerstand R2 ebenfalls eine Grenze gesetzt. R2 sollte zwar groß gegen R1 sein, darf aber mit der Eingangskapazität von Gatter 1 keine schädliche Phasenverschiebung verursachen. Die Folge wäre ebenfalls, dass die Generatorfrequenz beeinflusst wird.

Widerstand R1

Für die Gatterausgänge besteht durch C1 keine Gefahr. Strombegrenzend wirkt automatisch der Kanalwiderstand der CMOS-Ausgangsstufe, der jeweils nach +Ub und nach GND ca. 1 k Ω beträgt. Die Stromergiebigkeit normaler Standard-CMOS-Ausgänge ist zwar gering, reicht aber aus, um einige hundert CMOS-Gatter-Eingänge treiben zu können. Allerdings kann R1 nicht beliebig niederohmig sein. Die angegebene untere Grenze von 10 k Ω ist optimal. Müssen viele Gatter mit Ua angesteuert werden, ist es günstig, ein weiteres Gatter als Puffer zwischenschalten.

Frequenzbereich

Der empfohlene Bereich für R1 und R2 ist im Bild angegeben. Kondensator C1 sollte nicht zu klein gewählt werden, da sich bei weniger als 1 nF die Schalt- und Gatter-Kapazitäten störend bemerkbar machen. Mit $R1 = 10 \text{ k}\Omega$ und $C1 = 1 \text{ nF}$ ist also rein rechnerisch die obere Frequenz mit 45,5 kHz erreicht. Der Generator schwingt mit noch weit höherer Frequenz, allerdings unter Verlust der angestrebten Stabilität. Mit den Werten $C1 = 100 \text{ pF}$, $R1 = 1 \text{ k}\Omega$ und $R2 = 10 \text{ k}\Omega$ hatte das schon stark deformierte Rechtecksignal eine Frequenz von 1 MHz. Die angegebene Formel (siehe Bild) ist bei diesen RC-Werten also nicht mehr gültig. Wird C1 ganz weggelassen, schwingt der Generator trotzdem noch, am Ausgang ist das Signal dann schon fast sinusförmig.

Ist das Ua-Signal bei hoher Frequenz bereits sichtlich verformt (lange Impulsflanken, Überschwinger u.ä.), sollten ein weiteres Gatter zur Impulsformung nachgeschaltet werden.

Die untere Frequenzgrenze ist nicht so kritisch, die Ua-Periodendauer kann bis zu einigen 10 Sekunden betragen. Ob die erzielte Reproduzierbarkeit dann noch ausreicht, hängt von der Anwendung ab. Allerdings wird bei sehr niedriger Frequenz die CMOS-Umschaltswelle sehr langsam durchlaufen. Der Gatterausgang schaltet dann nicht mehr sauber um, mehrmaliges Schalten im Umschaltzeitpunkt ist möglich. Das ist meist unerwünscht. Gatter mit Trigger-Eingang eignen sich für sehr niedrige Frequenzen besser.

Frequenzabhängigkeit

Die Frequenzkonstanz ist bei Verwendung geeigneter Bauelemente (R_1 , C_1) prinzipiell gut, da die CMOS-Schaltsschwellen relativ stabil und wenig abhängig von der Temperatur sind. Die Frequenzabhängigkeit von $+U_b$ ist ebenfalls gering, da C_1 zwischen $+U_b$ und GND jeweils bis zur CMOS-Schaltsschwelle umgeladen wird. Allerdings leidet diese Stabilität, wenn bei hohen Frequenzen unerwünschte Effekte an Einfluss gewinnen.

Tastgrad und Stabilität

Liegt die CMOS-Schaltsschwelle genau in der Mitte des U_b -Bereichs, erhält man den U_a -Tastgrad = 0,5 (Einschaltdauer 50 %). Weicht die Umschaltsschwelle von diesem Ideal ab oder gibt es für L/H- und H/L-Übergang leicht unterschiedliche Schwellen, ist auch der Tastgrad abweichend von 0,5. Es wurden Abweichungen zwischen H- und L-Impulslänge von bis zu 10 % beobachtet. Das hängt einerseits von der CMOS-Serie, andererseits auch vom IC-Exemplar ab. Die CMOS-Schaltsschwelle unterliegt IC-Exemplarstreuungen von bis zu 20 %. Zwischen den Gattern innerhalb eines ICs sind die Abweichungen nur max. 2 bis 3 %.

Die an- und absteigende Kondensatur-Spannung U_c ist für das Gatter 1 (U_1) eine schleichende Eingangs-Impulsflanke. Auch deshalb führt jede kleine Störspannung auf U_1 zu einer früheren oder späteren Gatter-Umschaltung, wenn die Störung auf dem Umschaltspunkt liegt. Das wirkt sich dann ebenfalls auf den Tastgrad und/oder die Frequenz aus. Auch das gelegentlich auftretende Jittern (periodisches Verschieben der U_a -Impulsflanken) kann durch Störungen in Umschaltnähe verursacht sein.

Schuld für die unpräzise Umschaltung ist letztlich die CMOS-Schaltsschwelle der Standard-Gatter, die für Eingangs-Signale mit einer bestimmten Mindeststeilheit entworfen wurden. Besser sind Trigger-Eingänge, die langsame Eingangsänderungen sicher verarbeiten können.

Trotzdem sind Generatoren mit CMOS-Standardgattern relativ stabil. Bei den meisten Anwendungen reicht es aus, wenn die Einschaltdauer nur annähernd 50 % beträgt. Genau gleiche Impulslängen sind nur mittels nachgeschaltetem Binärteiler (D-FF oder JK-FF) realisierbar. Der Generator muss dann mindestens die doppelte Impulsfrequenz liefern.

Generator mit Start-Eingang am Gatter 1 (Bildmitte)**Wirkungsweise**

Die mittlere Generatorschaltung entspricht der linken Schaltung, allerdings ohne externe Dioden. Ein Eingang des Gatters 1 wird als Start-Eingang genutzt. Wechselt U_{s1} von L nach H, beginnt der Generator zu schwingen. Der erste H-Impuls (mit der Impulsdauer T_0) ist aber etwas länger als die folgenden Impulse (mit $T_1 \dots T_n$). Ursache ist der höhere U_c -Pegel, der im Stop-Zustand statisch (dauernd) auf H ($+U_b$) liegt. C_1 wird beim ersten H-Impuls vom 2-fachen U_b -Wert aus bis zum Gatter-Schwellwert entladen. Bei den darauffolgenden Impulsen erfolgt die Entladung nur vom 1,5-fachen U_b -Wert aus. Diese Impulse sind dementsprechend kürzer und entsprechen der normalen Impulsfrequenz. Die Verlängerung des ersten H-Impulses ist bei dieser Schaltung prinzipbedingt.

Wechselt das U_{s1} -Signal wieder von H nach L, wird der Generator sofort gestoppt. Das geschieht unabhängig davon, ob U_a gerade H oder L ist. In diesem Stop-Zustand verharrt der Generator (praktisch eine Wartestellung). Die sich ergebenden statischen Pegel an den verschiedenen Schaltungspunkten sind im Diagramm eingetragen. U_a liegt bei Stop auf L.

Generator mit Start-Eingang am Gatter 2 (Bild rechts)

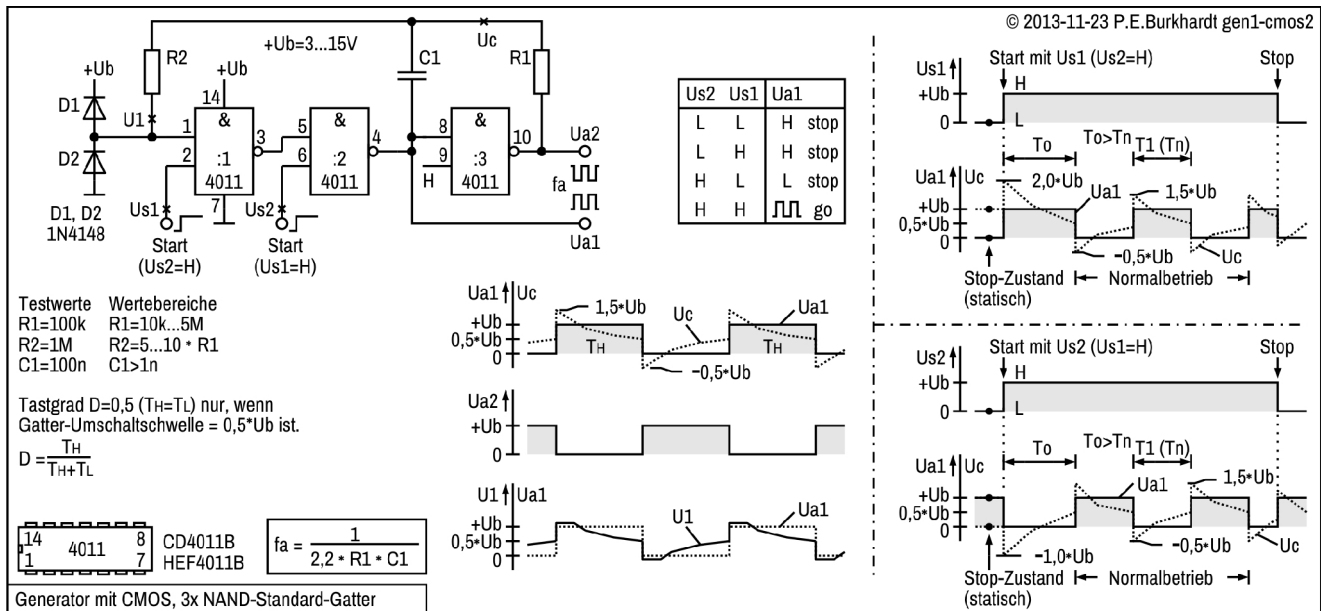
Im Unterschied zur mittleren Schaltung ist rechts im Bild dargestellt, welche Pegel sich einstellen, wenn der Start-Eingang am Gatter 2 liegt. Im Unterschied zum Start am Gatter 1 beginnt hier der Generator mit einem U_a -L-Impuls. U_a liegt im Stop-Zustand statisch auf H.

Das Problem mit dem längeren ersten Impuls besteht hier nicht, da die Kondensatorspannung U_c im Stop-Zustand auf oder in Nähe der Gatter-Umschaltsschwelle liegt. Damit liegt auch U_1 statisch auf diesem Pegel. Das ist aber bei CMOS-Standard-Gattern nicht erlaubt, da dann der Gatter-Schaltzustand nicht definiert ist bzw. sich unkontrolliert ändern kann.

Der Start-/Stop-Betrieb am Gatter 2 funktioniert zwar, wenn nur das U_a -Signal betrachtet wird. Die Schaltung sollte aber nicht angewendet werden. Neben dem unerlaubten U_1 -Pegel war ein wildes U_2 -Schwingen im Stop-Zustand zu beobachten. Das Ergebnis zeigt, dass erst nach gründlichem Schaltungstest eine Aussage getroffen werden kann, ob eine Schaltungsidee umsetzbar bzw. zulässig ist.

Generator mit 3 NAND-Gatter und Start/Stop

Verschiedentlich wird berichtet, dass es für die Schwingsicherheit vorteilhafter ist, 3 Gatter einzusetzen. Das konnte praktisch nicht verifiziert werden. Allerdings kann am zusätzlichen Gatter ein weiterer Start-/Eingang realisiert werden.



Schaltungsbeschreibung

Grundsätzlich arbeitet der 3-Gatter-Generator genauso wie der beschriebene 2-Gatter-Generator (siehe auch dort).

Kondensator C1 wird vom Gatterausgang 2 (Pin 4) im Wechsel an +Ub und GND geschaltet. Das C1-Entladen erfolgt über Widerstand R1 jeweils bis zur Gatter-Schaltsschwelle (halbe Betriebsspannung). Die Zeitkonstante $C1 * R1$ bestimmt, wie lange die Entladung jeweils dauert, d.h. C1 und R1 bestimmen die erzeugte Frequenz fa.

Rückkopplung als Schwingbedingung

Die Schwingbedingung wird hier durch Rückkopplung der Kondensatorspannung Uc auf den Eingang des Gatters 1 erfüllt. Uc pendelt aber nicht nur zwischen +Ub und GND hin und her. Die Ua-Umschaltflanke bewirkt, dass Uc bei der Ua1-L/H-Flanke das 1,5-fache von +Ub erreicht, bei der Ua1-H/L-Flanke dagegen den GND-Pegel um das 0,5-fache von +Ub unterschreitet.

Das hat Konsequenzen für den nötigen Schutz des Gatter-Eingangs 1 (Pin 1).

Interner Gate-Schutz, Schutzwiderstand R2 und externe Dioden

Zur Entkopplung ist R2 eingefügt, der zusätzlich zum internen Gatter-Eingangsschutz den durch die Uc-Spitzen verursachten Strom begrenzt. R2 dient für die internen und externen Schutzdioden als Vorwiderstand. Weitere Infos zum Schutz der Gatter-Eingänge und zum R2-Wert stehen weiter oben beim 2-Gatter-Generator.

Impulsausgänge Ua1 und Ua2

Der Ausgang Ua1 entspricht dem Ausgang Ua beim 2-Gatter-Generator. Der zweite Ausgang liefert mit Ua2 das negierte Signal. Das kann für bestimmte Anwendungen vorteilhaft sein.

Frequenzbereich, Frequenzabhängigkeit und Tastgrad

Der empfohlene Bereich für R1, C1 und R2 ist im Bild angegeben und unterscheidet sich nicht vom 2-Gatter-Generator. Obere und untere Frequenzgrenze entsprechen ebenfalls dem 2-Gatter-Generator, sowie weitere Eigenschaften wie Frequenzabhängigkeit und Tastgrad (siehe dort).

Start-Eingänge

Wesentlicher Unterschied zum 2-Gatter-Generator ist die Möglichkeit, 2 sauber funktionierende Start-/Stop-Eingänge vorzusehen. Die sich ergebenden Diagramme sind im Bild rechts zu sehen.

Wird mit der Us1-L/H-Flanke gestartet, beginnt der Generator mit einem Ua1-H-Impuls. Wird dagegen mit der Us2-L/H-Flanke gestartet, beginnt der Generator mit einem Ua1-L-Impuls. In beiden Fällen ist der Anfangsimpuls (To) prinzipbedingt etwas länger als die folgenden (T1...Tn). Der jeweils andere Start-Eingang muss aufgrund der NAND-Technik auf H liegen.

Im Stop-Zustand liegt der Ua1-Pegel auf L, wenn mit Us1 gestoppt wurde. Bei Us2-Stop ist dagegen Ua1 ständig auf H. Dieses unterschiedliche Verhalten kann für bestimmte Anwendungen vorteilhaft sein. Verbotene Pegel und/oder Schwingneigung sind bei dieser 3-Gatter-Schaltung im Stop-Zustand nicht vorhanden. Allerdings ist auch hier der Eingang des Gatters 3 (Pin 9) tabu und muss permanent auf H liegen.

In der Tabelle im Bild sind nochmals alle möglichen Kombinationen für Us1, Us2 und Ua1 aufgeführt.

Fazit

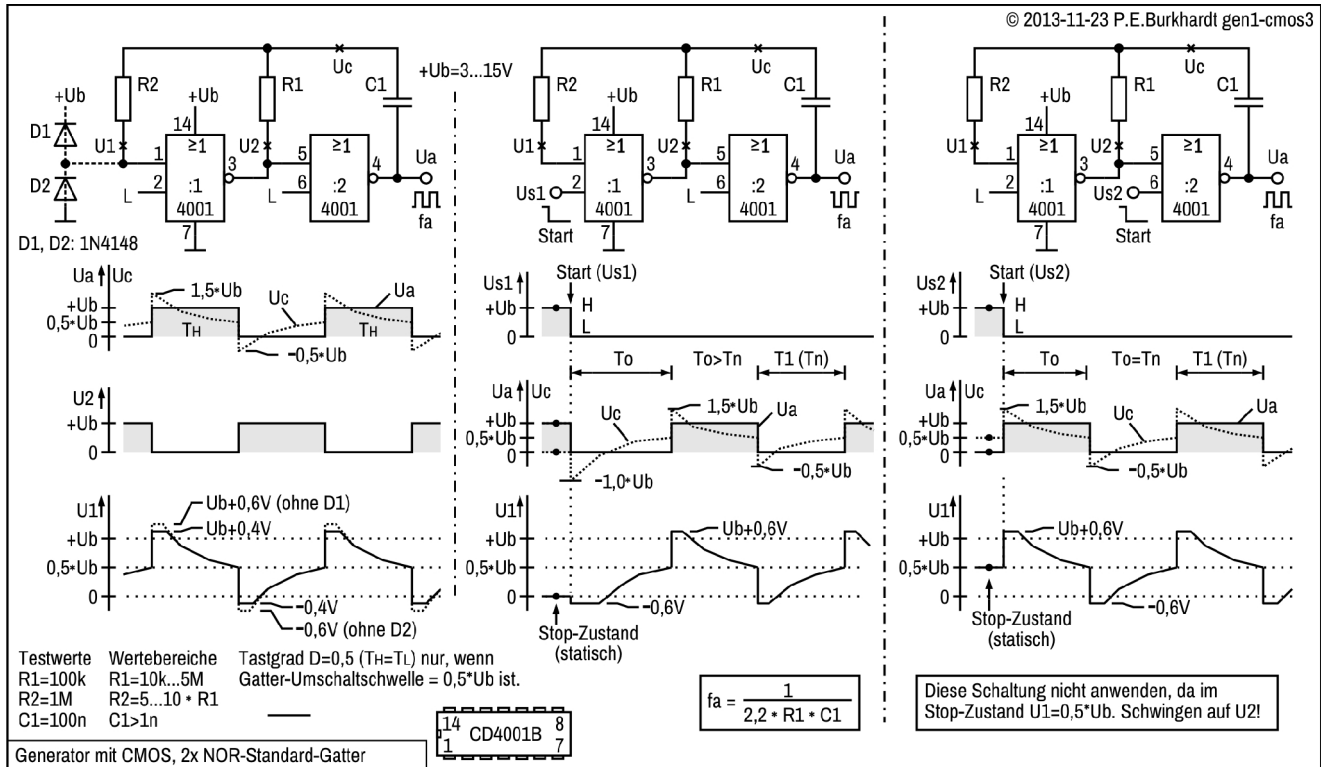
Dieser 3-Gatter-Generator ist bei hoher Schwingsicherheit aufgrund seiner flexibel nutzbaren Ein- und Ausgänge optimal. Auch die Schutzdioden sollten nicht fehlen.

Generator mit 2 NOR-Gatter (Grundschaltung)

Trotz der prinzipiell gleichen Generator-Arbeitsweise ergeben sich bei NOR-Gattern andere logische Pegel im Gegensatz zur NAND-Technik. Deshalb ist die folgende Beschreibung vollständig, obwohl manches schon bei den Generatoren in NAND-Technik geschildert wurde.

Der Generator kommt mit 2 CMOS-NOR-Gattern aus. Wieviele Eingänge die NOR-Gatter haben, ist nicht bedeutsam. In dieser Schaltung wird ein zusätzlicher Eingang für die Start-/Stop-Funktion benutzt. Ohne diese Funktion könnte der Generator auch mit nur 2 Standard-Negatoren (ohne Triggereingänge) aufgebaut werden. Nicht benutzte NOR-Eingänge sind an L-Pegel zu legen (GND).

Im folgenden Bild ist links die Grundschaltung (ohne Start-Eingang), in der Mitte und rechts je eine Variante mit Start-Eingang gezeigt. Die jeweiligen Diagramme darunter enthalten wesentliche Spannungsverläufe.



Schaltungsbeschreibung der Grundschaltung (Bild links)

Wirkungsweise

Kondensator C1 wird vom Gatterausgang 2 (Pin 4) im Wechsel an +Ub und GND geschaltet. Das C1-Entladen erfolgt über Widerstand R1 jeweils bis zur Gatter-Schaltsschwelle (halbe Betriebsspannung). Die Zeitkonstante C1 * R1 bestimmt, wie lange die Entladung jeweils dauert, d.h. C1 und R1 bestimmen die erzeugte Frequenz fa.

Rückkopplung als Schwingbedingung

Damit die Schaltung schwingt, muss Gatterausgang 1 im richtigen Zeitpunkt umgeschaltet werden. Das geschieht mit der Kondensatorspannung Uc durch Rückführung auf den Eingang des Gatters 1. Uc pendelt aber nicht nur zwischen +Ub und GND hin und her. Die Ua-Umschaltflanke bewirkt, dass Uc bei der Ua-L/H-Flanke das 1,5-fache von +Ub erreicht, bei der Ua-H/L-Flanke dagegen den GND-Pegel um das 0,5-fache von +Ub unterschreitet.

Würde nun Uc direkt auf den Gattereingang 1 (Pin 1) rückgekoppelt und würde das Gatter keine Eingangsschutzschaltung mit Dioden haben, käme es unweigerlich zur Zerstörung des Gattereingangs. Die interne Schutzschaltung verhindert dies. Auch ohne Widerstand R2 (Kurzschluss) schwingt der Generator. Allerdings beeinflussen die internen Dioden die C1-Umladung und damit die Zeitkonstante, d.h. letztlich die Generatorfrequenz.

Interner Gate-Schutz, Schutzwiderstand R2 und externe Dioden

Zur Entkopplung ist R2 eingefügt, der zusätzlich den durch Uc verursachten Gatter-Eingangsstrom begrenzt. Im normalen +Ub-Bereich ist der CMOS-Gatter-Eingangsstrom nahe Null. Nur bei Pegeländerung fließt ein kapazitiv verursachter geringer Strom durch die Eingangskapazität von ca. 5 bis 7,5 pF je Gattereingang. Der CMOS-Eingang ist also prinzipiell sehr hochohmig (Gigaohm-Bereich).

Wird der Bereich zwischen $+U_b$ und GND verlassen, beginnen die internen Schutzdioden nach Überschreiten der jeweiligen Dioden-Fluss-Spannung (ca. 0,5 V) zu leiten. Jetzt wirken strombegrenzend nur ein relativ niederohmiger interner Schutzwiderstand (meist um die 2 k Ω) und die inneren Schaltkreisstrukturen, d.h. der Eingang wird niederohmig. Das führt zur o.g. Beeinflussung (Erhöhung) der Generatorfrequenz.

Widerstand R2 verhindert dies wirkungsvoll. R2 dient bei Begrenzung durch die Schutzdioden als Vorwiderstand. Er sollte idealerweise das 10-fache von R1 betragen, etwas weniger reicht aber auch. Zu beachten ist, je größer der Kondensator C1 ist (je niedriger also die gewünschte Generatorfrequenz), desto energiereicher sind die U_c -Schaltspitzen. Vorteilhaft ist deshalb besonders bei hoher Betriebsspannung der Einsatz zusätzlicher Begrenzungsdioden D1 und D2. Immerhin wird die U_c -Überspannung von ca. 0,6 V (ohne D1, D2) auf ca. 0,4 V (mit D1, D2) verringert. Noch besseren Schutz bieten Schottky-Dioden, die dann nur noch ca. 0,2 V Überspannung zulassen.

Nach oben ist dem Widerstand R2 ebenfalls eine Grenze gesetzt. R2 sollte zwar groß gegen R1 sein, darf aber mit der Eingangskapazität von Gatter 1 keine schädliche Phasenverschiebung verursachen. Die Folge wäre ebenfalls, dass die Generatorfrequenz beeinflusst wird.

Widerstand R1

Für die Gatterausgänge besteht durch C1 keine Gefahr. Strombegrenzend wirkt automatisch der Kanalwiderstand der CMOS-Ausgangsstufe, der jeweils nach $+U_b$ und nach GND ca. 1 k Ω beträgt. Die Stromergiebigkeit normaler Standard-CMOS-Ausgänge ist zwar gering, reicht aber aus, um einige hundert CMOS-Gatter-Eingänge treiben zu können. Allerdings kann R1 nicht beliebig niederohmig sein. Die angegebene untere Grenze von 10 k Ω ist optimal. Müssen viele Gatter mit U_a angesteuert werden, ist es günstig, ein weiteres Gatter als Puffer zwischenschalten.

Frequenzbereich

Der empfohlene Bereich für R1 und R2 ist im Bild angegeben. Kondensator C1 sollte nicht zu klein gewählt werden, da sich bei weniger als 1 nF die Schalt- und Gatter-Kapazitäten störend bemerkbar machen. Mit R1 = 10 k Ω und C1 = 1 nF ist also rein rechnerisch die obere Frequenz mit 45,5 kHz erreicht. Der Generator schwingt mit noch weit höherer Frequenz, allerdings unter Verlust der angestrebten Stabilität. Mit den Werten C1 = 100 pF, R1 = 1 k Ω und R2 = 10 k Ω hatte das schon stark deformierte Rechtecksignal eine Frequenz von 1 MHz. Die angegebene Formel (siehe Bild) ist bei diesen RC-Werten also nicht mehr gültig. Wird C1 ganz weggelassen, schwingt der Generator trotzdem noch, am Ausgang ist das Signal dann schon fast sinusförmig.

Ist das U_a -Signal bei hoher Frequenz bereits sichtlich verformt (lange Impulsflanken, Überschwinger u.ä.), sollten ein weiteres Gatter zur Impulsformung nachgeschaltet werden.

Die untere Frequenzgrenze ist nicht so kritisch, die U_a -Periodendauer kann bis zu einigen 10 Sekunden betragen. Ob die erzielte Reproduzierbarkeit dann noch ausreicht, hängt von der Anwendung ab. Allerdings wird bei sehr niedriger Frequenz die CMOS-Umschaltswelle sehr langsam durchlaufen. Der Gatterausgang schaltet dann nicht mehr sauber um, mehrmaliges Schalten im Umschaltzeitpunkt ist möglich. Das ist meist unerwünscht. Gatter mit Trigger-Eingang eignen sich für sehr niedrige Frequenzen besser.

Frequenzabhängigkeit

Die Frequenzkonstanz ist bei Verwendung geeigneter Bauelemente (R1, C1) prinzipiell gut, da die CMOS-Schaltswellen relativ stabil und wenig abhängig von der Temperatur sind. Die Frequenzabhängigkeit von $+U_b$ ist ebenfalls gering, da C1 zwischen $+U_b$ und GND jeweils bis zur CMOS-Schaltswelle umgeladen wird. Allerdings leidet diese Stabilität, wenn bei hohen Frequenzen unerwünschte Effekte an Einfluss gewinnen.

Tastgrad und Stabilität

Liegt die CMOS-Schaltswelle genau in der Mitte des U_b -Bereichs, erhält man den U_a -Tastgrad = 0,5 (Einschaltdauer 50 %). Weicht die Umschaltswelle von diesem Ideal ab oder gibt es für L/H- und H/L-Übergang leicht unterschiedliche Schwellen, ist auch der Tastgrad abweichend von 0,5. Es wurden Abweichungen zwischen H- und L-Impulslänge von bis zu 10 % beobachtet. Das hängt einerseits von der CMOS-Serie, andererseits auch vom IC-Exemplar ab. Die CMOS-Schaltswelle unterliegt IC-Exemplarstreuungen von bis zu 20 %. Zwischen den Gattern innerhalb eines ICs sind die Abweichungen nur max. 2 bis 3 %.

Die an- und absteigende Kondensatur-Spannung U_c ist für das Gatter 1 (U1) eine schleichende Eingangs-Impulsflanke. Auch deshalb führt jede kleine Störspannung auf U1 zu einer früheren oder späteren Gatter-Umschaltung, wenn die Störung auf dem Umschaltzeitpunkt liegt. Das wirkt sich dann ebenfalls auf den Tastgrad und/oder die Frequenz aus. Auch das gelegentlich auftretende Jittern (periodisches Verschieben der U_a -Impulsflanken) kann durch Störungen in Umschaltnähe verursacht sein.

Schuld für die unpräzise Umschaltung ist letztlich die CMOS-Schaltswelle der Standard-Gatter, die für Eingangssignale mit einer bestimmten Mindeststeilheit entworfen wurden. Besser sind Trigger-Eingänge, die langsame Eingangsänderungen sicher verarbeiten können.

Trotzdem sind Generatoren mit CMOS-Standardgattern relativ stabil. Bei den meisten Anwendungen reicht es aus, wenn die Einschaltdauer nur annähernd 50 % beträgt. Genau gleiche Impulslängen sind nur mittels nachgeschaltetem Binärteiler (D-FF oder JK-FF) realisierbar. Der Generator muss dann mindestens die doppelte Impulsfrequenz liefern.

Generator mit Start-Eingang am Gatter 1 (Bildmitte)

Wirkungsweise

Die mittlere Generatorschaltung entspricht der linken Schaltung, allerdings ohne externe Dioden. Ein Eingang des Gatters 1 wird als Start-Eingang genutzt. Wechselt U_{s1} von H nach L, beginnt der Generator zu schwingen. Der erste L-Impuls (mit der Impulsdauer T_0) ist aber etwas länger als die folgenden Impulse (mit $T_1 \dots T_n$). Ursache ist der gegenüber dem Gatter-Schwellwert niedrigere U_c -Pegel, der im Stop-Zustand statisch (dauernd) auf GND liegt. C_1 wird beim ersten L-Impuls vom 1-fachen U_b -Wert unterhalb GND bis zum Gatter-Schwellwert entladen. Bei den darauffolgenden Impulsen erfolgt die Entladung nur vom 0,5-fachen U_b -Wert unterhalb GND aus. Diese Impulse sind dementsprechend kürzer und entsprechen der normalen Impulsfrequenz. Die Verlängerung des ersten L-Impulses ist bei dieser Schaltung prinzipbedingt.

Wechselt das U_{s1} -Signal wieder von L nach H, wird der Generator sofort gestoppt. Das geschieht unabhängig davon, ob U_a gerade L oder H ist. In diesem Stop-Zustand verharrt der Generator (praktisch eine Wartestellung). Die sich ergebenden statischen Pegel an den verschiedenen Schaltungspunkten sind im Diagramm eingetragen. U_a liegt bei Stop auf H.

Generator mit Start-Eingang am Gatter 2 (Bild rechts)

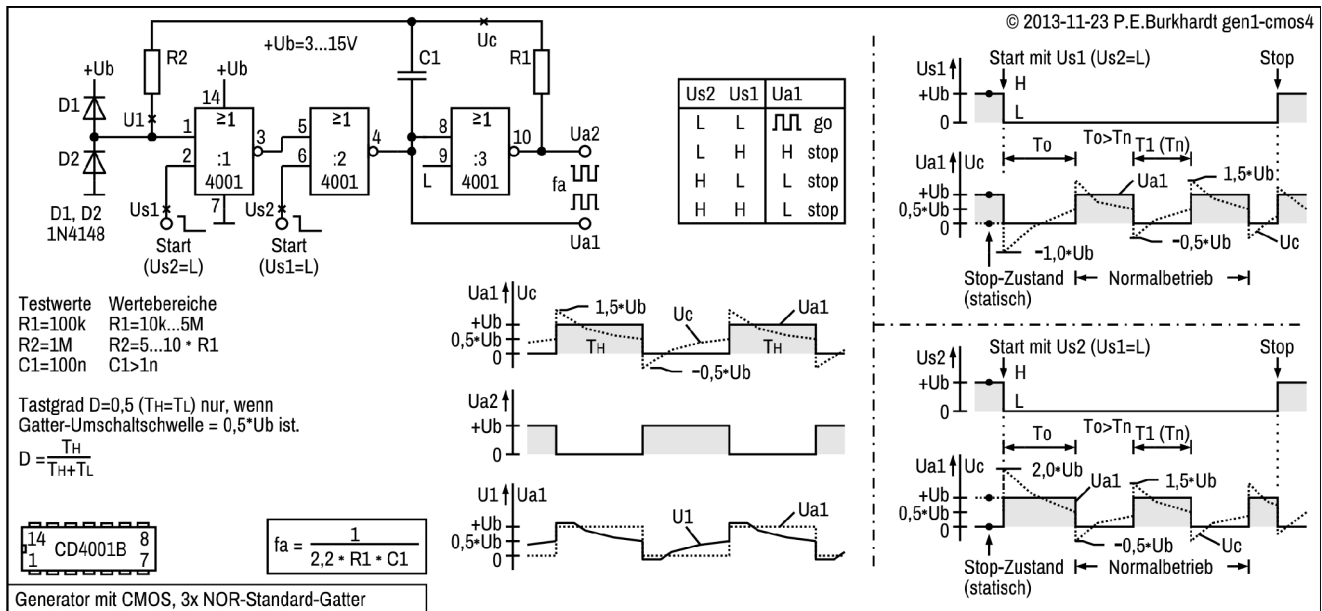
Im Unterschied zur mittleren Schaltung ist rechts im Bild dargestellt, welche Pegel sich einstellen, wenn der Start-Eingang am Gatter 2 liegt. Im Unterschied zum Start am Gatter 1 beginnt hier der Generator mit einem U_a -H-Impuls. U_a liegt im Stop-Zustand statisch auf L.

Das Problem mit dem längeren ersten Impuls besteht hier nicht, da die Kondensatorspannung U_c im Stop-Zustand auf oder in Nähe der Gatter-Umschaltschwelle liegt. Damit liegt auch U_1 statisch auf diesem Pegel. Das ist aber bei CMOS-Standard-Gattern nicht erlaubt, da dann der Gatter-Schaltzustand nicht definiert ist bzw. sich unkontrolliert ändern kann.

Der Start-/Stop-Betrieb am Gatter 2 funktioniert zwar, wenn nur das U_a -Signal betrachtet wird. Die Schaltung sollte aber nicht angewendet werden. Neben dem unerlaubten U_1 -Pegel war ein wildes U_2 -Schwingen im Stop-Zustand zu beobachten. Das Ergebnis zeigt, dass erst nach gründlichem Schaltungstest eine Aussage getroffen werden kann, ob eine Schaltungsidee umsetzbar bzw. zulässig ist.

Generator mit 3 NOR-Gatter und Start/Stop

Verschiedentlich wird berichtet, dass es für die Schwingsicherheit vorteilhafter ist, 3 Gatter einzusetzen. Das konnte praktisch nicht verifiziert werden. Allerdings kann am zusätzlichen Gatter ein weiterer Start-Eingang realisiert werden.



Schaltungsbeschreibung

Grundsätzlich arbeitet der 3-Gatter-Generator genauso wie der beschriebene 2-Gatter-Generator (siehe auch dort).

Kondensator C1 wird vom Gatterausgang 2 (Pin 4) im Wechsel an +Ub und GND geschaltet. Das C1-Entladen erfolgt über Widerstand R1 jeweils bis zur Gatter-Schaltsschwelle (halbe Betriebsspannung). Die Zeitkonstante C1 * R1 bestimmt, wie lange die Entladung jeweils dauert, d.h. C1 und R1 bestimmen die erzeugte Frequenz fa.

Rückkopplung als Schwingbedingung

Die Schwingbedingung wird hier durch Rückkopplung der Kondensatorspannung Uc auf den Eingang des Gatters 1 erfüllt. Uc pendelt aber nicht nur zwischen +Ub und GND hin und her. Die Ua-Umschaltflanke bewirkt, dass Uc bei der Ua1-L/H-Flanke das 1,5-fache von +Ub erreicht, bei der Ua1-H/L-Flanke dagegen den GND-Pegel um das 0,5-fache von +Ub unterschreitet.

Das hat Konsequenzen für den nötigen Schutz des Gatter-Eingangs 1 (Pin 1).

Interner Gate-Schutz, Schutzwiderstand R2 und externe Dioden

Zur Entkopplung ist R2 eingefügt, der zusätzlich zum internen Gatter-Eingangsschutz den durch die Uc-Spitzen verursachten Strom begrenzt. R2 dient für die internen und externen Schutzdioden als Vorwiderstand. Weitere Infos zum Schutz der Gatter-Eingänge und zum R2-Wert stehen weiter oben beim 2-Gatter-Generator.

Impulsausgänge Ua1 und Ua2

Der Ausgang Ua1 entspricht dem Ausgang Ua beim 2-Gatter-Generator. Der zweite Ausgang liefert mit Ua2 das negierte Signal. Das kann für bestimmte Anwendungen vorteilhaft sein.

Frequenzbereich, Frequenzabhängigkeit und Tastgrad

Der empfohlene Bereich für R1, C1 und R2 ist im Bild angegeben und unterscheidet sich nicht vom 2-Gatter-Generator. Obere und untere Frequenzgrenze entsprechen ebenfalls dem 2-Gatter-Generator, sowie weitere Eigenschaften wie Frequenzabhängigkeit und Tastgrad (siehe dort).

Start-Eingänge

Wesentlicher Unterschied zum 2-Gatter-Generator ist die Möglichkeit, 2 sauber funktionierende Start-/Stop-Eingänge vorzusehen. Die sich ergebenden Diagramme sind im Bild rechts zu sehen.

Wird mit der Us1-H/L-Flanke gestartet, beginnt der Generator mit einem Ua1-L-Impuls. Wird dagegen mit der Us2-H/L-Flanke gestartet, beginnt der Generator mit einem Ua1-H-Impuls. In beiden Fällen ist der Anfangsimpuls (To) prinzipbedingt etwas länger als die folgenden (T1...Tn). Der jeweils andere Start-Eingang muss aufgrund der NOR-Technik auf L liegen.

Im Stop-Zustand liegt der Ua1-Pegel auf H, wenn mit Us1 gestoppt wurde. Bei Us2-Stop ist dagegen Ua1 ständig auf L. Dieses unterschiedliche Verhalten kann für bestimmte Anwendungen vorteilhaft sein. Verbotene Pegel und/oder Schwingneigung sind bei dieser 3-Gatter-Schaltung im Stop-Zustand nicht vorhanden. Allerdings ist auch hier der Eingang des Gatters 3 (Pin 9) tabu und muss permanent auf H liegen.

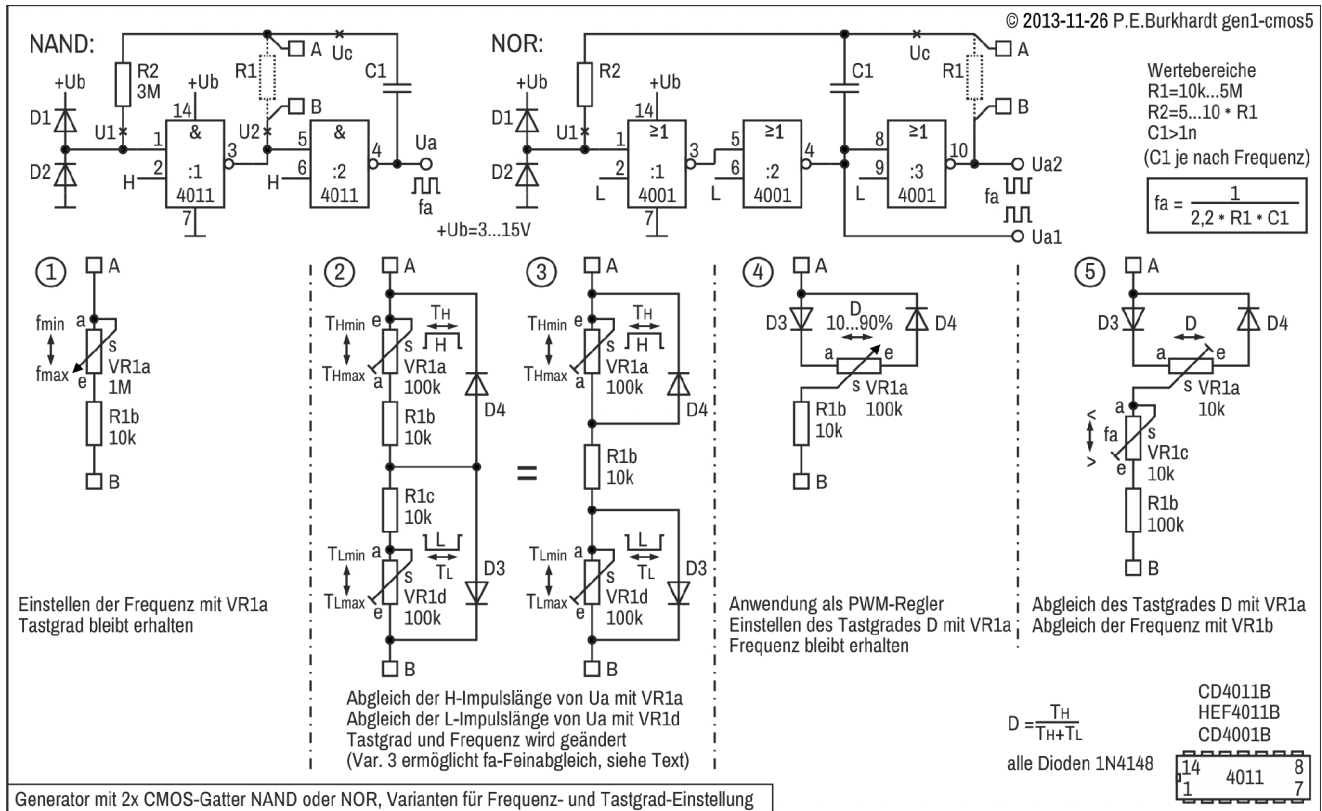
In der Tabelle im Bild sind nochmals alle möglichen Kombinationen für Us1, Us2 und Ua1 aufgeführt.

Fazit

Dieser 3-Gatter-Generator ist bei hoher Schwingsicherheit aufgrund seiner flexibel nutzbaren Ein- und Ausgänge optimal. Auch die Schutzdioden sollten nicht fehlen.

Generator, Frequenz und Tastgrad einstellbar

Vorgenannte 2- und 3-Gatter-Generatoren lassen sich so erweitern, dass die Frequenz und/oder der Tastgrad einstellbar sind. Die folgende Schaltung zeigt Varianten für den R1-Ersatz.



Schaltungsbeschreibung

Gemeinsamkeiten der Schaltungsvarianten

Der frequenzbestimmende Widerstand R1 wird bei allen Varianten durch ein Netzwerk A-B so ersetzt, dass sich die gewünschte Einstellbarkeit der Generatorfrequenz f_a und/oder die Einstellbarkeit des Ua-Tastgrades D ergibt.

Basis ist die Generator-Grundschaltung mit 2 CMOS-Standard-Gattern in NAND- oder NOR-Technik. Auch die weiter oben beschriebenen 3-Gatter-Generatoren können ohne Einschränkungen als Basis dienen. Bei allen Generatoren ist nur R1 durch eine der gezeigten Netzwerke 1 bis 5 zu ersetzen. Dabei sind auch alle beschriebenen Start-Eingänge sowie die negierten Ausgänge anwendbar.

Einstellen der Frequenz (Variante 1)

Netzwerk 1 macht den Festfrequenz-Generator zum einstellbaren Rechteckgenerator. Dabei kann VR1a ein Trimm-R sein oder es wird (wie dargestellt) ein Poti genutzt, um die Frequenz kontinuierlich einstellen zu können. Der Poti-Einstellbereich ist etwa 1: 100. R1b begrenzt den Frequenzbereich, damit der empfohlene R1-Wert nicht unterschritten wird.

Soll die Festfrequenz eines Generators nur abgeglichen werden (um z.B. C1-Toleranzen auszugleichen), ist VR1a ein Trimm-R mit z.B. 10 kΩ. Der R1b-Wert wird dann entsprechend der gewünschten Festfrequenz gewählt.

Bei der Frequenz-Einstellung ändert sich der Tastgrad nicht, da sowohl die C1-Aufladung als auch die C1-Entladung über die gleichen Widerstände erfolgt.

Getrennte Einstellung von Impulslänge TH und Impulspause TL (Variante 2)

Netzwerk 2 ist geeignet, die Ua-Impulslänge und die Ua-Impulspause unabhängig voneinander einstellen zu können. Das wird durch die Dioden D3 und D4 erreicht, die für C1 den Ladepfad vom Entladepfad trennen. Die C1-Entladung geschieht über A-VR1a-R1b-D3-B, die C1-Aufladung entsprechend über B-VR1d-R1c-D4-A (siehe auch Diagramme in der Beschreibung zur 2-Gatter-Grundschaltung).

Daraus ergibt sich, dass mit VR1a die Ua-H-Zeit (TH) einstellbar ist, mit VR1d entsprechend die Ua-L-Zeit (TL). Beim 3-Gatter-Generator bezieht sich diese Einstellung auf den Ua1-Ausgang. Die Widerstände R1b und R1c begrenzen den möglichen Einstellbereich, damit der empfohlene R1-Wert nicht unterschritten wird.

Sowohl das Einstellen der H-Zeit als auch das Einstellen der L-Zeit verändert die Ua-Frequenz. Beide Zeiten addiert ergeben die Periodendauer ($T = T_H + T_L$). Aus dem T-Kehrwert ergibt sich die Generator-Frequenz ($f_a = 1/T$).

Einstellung von Impulslänge TH und Impulspause TL mit fa-Abgleich (Variante 3)

Das Netzwerk 3 unterscheidet sich vom Netzwerk 2 dadurch, dass nur ein Widerstand (R1b) den Einstellbereich der Trimm-Widerstände begrenzt. VR1a und VR1d haben die gleiche Funktion wie in Variante 2.

Bei diesem Netzwerk 3 geschieht die C1-Entladung über A-VR1a-R1b-D3-B, die C1-Aufladung entsprechend über B-VR1d-R1b-D4-A (siehe auch Diagramme in der Beschreibung zur 2-Gatter-Grundsaltung).

Der gemeinsame Widerstand R1b hat den Vorteil, dass nach Einstellung der H- und L-Zeit mit VR1a und VR1d noch eine Korrektur der Frequenz möglich ist. Dazu sollte R1b durch eine Reihenschaltung eines Fest-R (z.B. 10 k Ω) mit einem Trimm-R (z.B. 1 k Ω) ersetzt werden. Mit diesem Trimm-R kann nun der Frequenz-Feinabgleich erfolgen, ohne dass sich das bereits eingestellte Verhältnis von H- und L-Zeit (also der Tastgrad) ändert.

Tastgrad-Einstellung für die PWM-Regelung (Variante 4)

Netzwerk 4 ermöglicht die Änderung des Tastgrades D, ohne dass sich die Frequenz ändert. Deshalb ist die Schaltung zur Leistungseinstellung nutzbar, wenn dem Generator eine entsprechende Leistungsstufe nachgeschaltet wird.

Je nach Stellung des VR1a-Schleifers wird die C1-Aufladung (über D4) oder die C1-Entladung (über D3) bevorzugt, so dass sich eine Änderung von H- und L-Zeit der Ausgangsspannung Ua (bzw. Ua1 beim 3-Gatter-Generator) ergibt. Verlängert sich die H-Zeit, verkürzt sich die L-Zeit und umgekehrt. Im Poti-Mittelstellung sollte der Tastgrad $D = 0,5$ sein. Das entspricht normalerweise einer Leistung von 50 %.

Die maximal mögliche Tastgrad-Änderung wird durch Widerstand R1b begrenzt, damit der empfohlene R1-Wert nicht unterschritten wird. Die Generator-Frequenz wird mit C1 festgelegt.

Frequenz- und Tastgrad-Abgleich (Variante 5)

Netzwerk 5 ähnelt dem Netzwerk 4, dient aber vorzugsweise dem Feinabgleich eines Festfrequenz-Generators. Der Frequenz-Abgleich ist nötig, um C1-Nennwert-Abweichungen zu korrigieren. Der Tastgrad-Abgleich ist nötig, wenn der Generator eine Impulsfolge mit einer Einschaltdauer von genau 50 % liefern soll.

Die Frequenz wird grob mit R1b und C1 festgelegt, der Feinabgleich erfolgt mit Trimm-R VR1c. Über die Reihenschaltung VR1c und R1b erfolgt sowohl die C1-Aufladung als auch die C1-Entladung, so dass sich nur die Frequenz, aber nicht der Tastgrad ändert.

Anders ist es beim Trimm-R VR1a. Je nach Stellung des VR1a-Schleifers wird die C1-Aufladung (über D4) oder die C1-Entladung (über D3) bevorzugt, so dass sich eine Änderung von H- und L-Zeit der Ausgangsspannung Ua (bzw. Ua1 beim 3-Gatter-Generator) ergibt. Verlängert sich die H-Zeit, verkürzt sich die L-Zeit und umgekehrt. Die Frequenz ändert sich also nicht.

Fazit

Ausgehend von der Grundsaltung des Standard-Gatter-Generators sind viele Einstell- und Abgleichmöglichkeiten gegeben, wenn R1 durch ein geeignetes Netzwerk ersetzt wird.

Astable Generatoren mit Trigger-Gattern

Generator mit 1 NAND-Trigger

Start Γ U_s

Wertebereiche
 $R1 = 1k \dots 5M$
 $C1 > 1n$
 (100p möglich)

Test mit:
 74HC132B
 bei $+U_b = 5V$

R1	C1	fa
1k	1n	893kHz
1k	10n	96,1kHz
1k	100n	10,0kHz
10k	100n	1,0kHz
10k	1µ	100,5Hz

① Einstellen der Frequenz
 Tastgrad bleibt erhalten

$$f_a \approx \frac{1}{R1 \cdot C1}$$

lt. Datenblatt
 Philips 1993:

$$f_a = \frac{1}{0,8 \cdot R1 \cdot C1}$$

② Einstellen des Tastgrades D
 Frequenz ändert sich geringfügig
 (an VR1a-a und -e etwas höher)

als PWM-Regler
 verwendbar

gemessen:

C1	D (ca.)	fa
100n	10%	161Hz
100n	50%	147Hz
100n	90%	161Hz
10n	10%	1,61kHz
10n	50%	1,51kHz
10n	90%	1,61kHz

Tastgrad $D = 0,5$ ($T_H = T_L$) nur,
 wenn UH symmetrisch zu $0,5 \cdot U_b$ liegt;
 bei hoher f_a gibt es zusätzlich Abweichungen
 (parasitäre Effekte)

$$D = \frac{T_H}{T_H + T_L}$$

alle Dioden 1N4148

© 2013-11-27 P.E.Burkhardt gen1-cmos6

ICs mit Trigger-Eingängen:

CD4093B	4x 2-IN-NAND
HEF4093B	4x 2-IN-NAND
CD40106B	6x NEGATOR
CD4584B	6x NEGATOR
74HC(T)14	6x NEGATOR
74HC(T)132	4x 2-IN-NAND

Generator mit 2 NAND-Trigger

D1, D2: 1N4148

Testwerte
 $+U_b = 5V$
 $R1 = 100k$
 $R2 = 1M$
 $C1 = 100n$

Wertebereiche
 $R1 = 10k \dots 5M$
 $R2 = 5 \dots 10 \cdot R1$
 $C1 > 1n$

Tastgrad $D = 0,5$ ($T_H = T_L$) nur,
 wenn UH symmetrisch zu $0,5 \cdot U_b$ liegt.

$$D = \frac{T_H}{T_H + T_L}$$

UTH obere Triggerschwelle
 UTL untere Triggerschwelle
 UH Hysterese

© 2013-11-23 P.E.Burkhardt gen1-cmos7

Diese Schaltung nicht anwenden, da im Stop-Zustand
 U_c und $U1$ zwischen UTL und UTH schwingen.
 Außerdem $U2$ -Impulse (an U_a nicht wirksam).

8-Digit-Counter

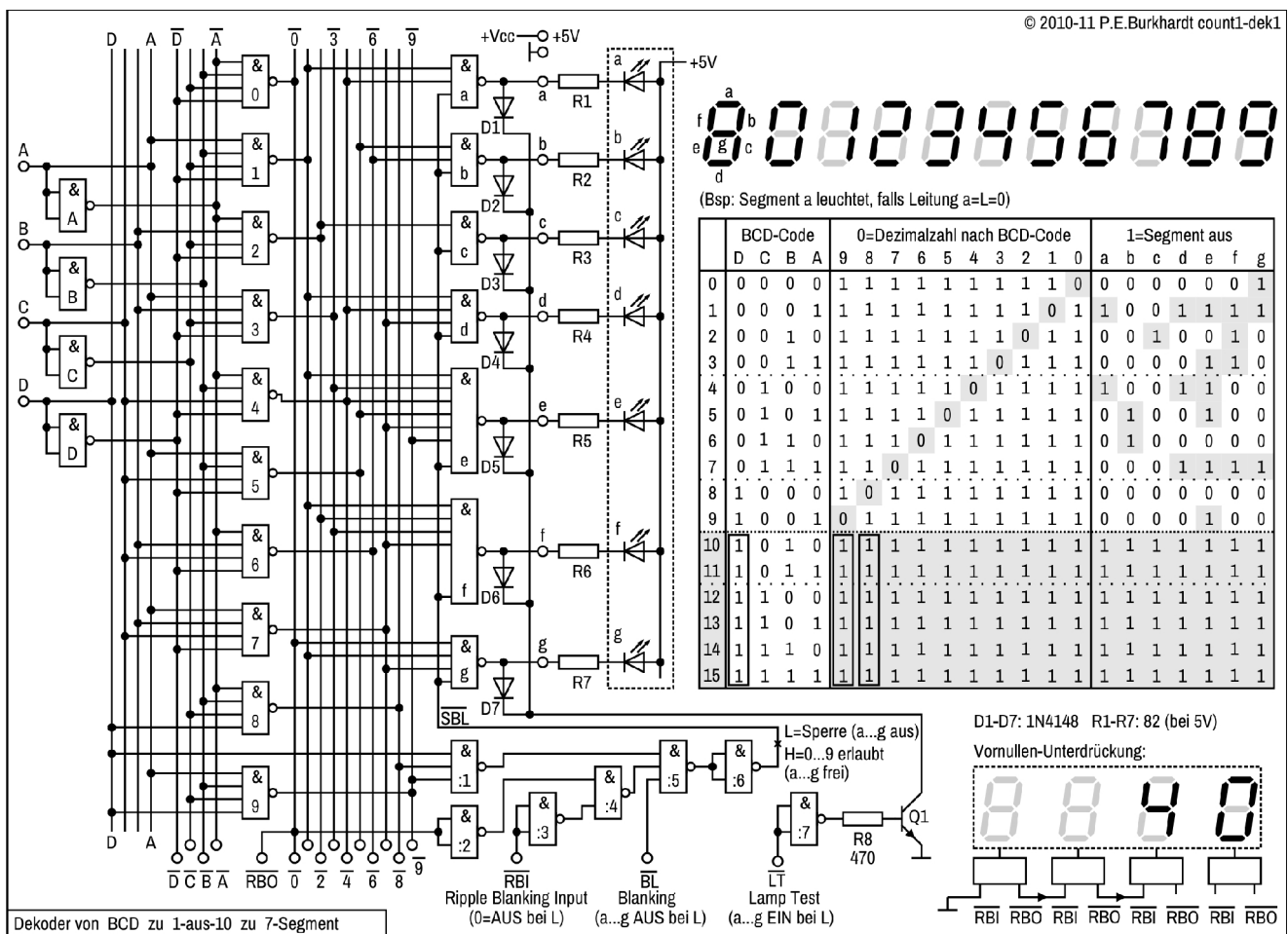
Alle folgenden Baugruppen sind Teil eines 8-stelligen TTL-Zählers, der nach und nach aufgebaut wird. Ziel ist, nur Bauelemente aus der Bastelkiste zu verwenden. Dabei spielt es keine Rolle, wenn niedrig integrierte ICs den Aufwand in die Höhe treiben. Der Zähler soll folgende Eigenschaften haben:

- 8-stellige 7-Segment-Anzeige
- Betriebsarten Frequenzmessung, Impulsdauermessung und Impulzzählung
- Maximale Zählfrequenz mindestens 50 MHz
- Zeitbasis mit Transistor-Generator im Thermostat

BCD zu 7-Segment-Dekoder

Dekoder-Prinzip und Schaltbelegungstabelle

Der Dekoder ist in TTL-Technik aufgebaut, eignet sich zur Ansteuerung einer 7-Segment-Anzeige mit gemeinsamer Anode und liefert als Zwischenergebnis den dezimalen 1-aus-10-Code. Der Eingang verarbeitet BCD-Signale. So wie auch bei fertigen Dekoder-ICs sind Anschlüsse für Dunkeltastung, Hellsteuerung und Vornullen-Unterdrückung vorhanden.



Dekoder von BCD zu 1-aus-10 zu 7-Segment

Dekoder von BCD zu 7-Segment

Schaltungsteile und Gesamtfunktion

Der Dekoder besteht aus:

- BCD-Aufbereitung (Gatter A, B, C, und D)
- 1-aus-10-Dekodierung (Gatter 0 bis 9)
- 7-Segment-Kodierung (Gatter a bis f)
- 7-Segment-Anzeige (mit den LED-Segmenten a bis f, GND-seitig geschaltet, extern angeschlossen)
- Test-Schaltung (Eingang /LT mit Negator :7, Treibertransistor Q1, Dioden D1 bis D7)
- Pseudotetraden-Dekodierung, Vornullen-Unterdrückung und Dunkeltastung (Gatter :1 bis :6)

Die notwendige Dekodierung/Kodierung ergibt sich aus der Code-Tabelle in Verbindung mit der 7-Segment-Ansteuerung. Da ausschließlich NAND-Gatter verwendet werden, ist die auf L("0")-Pegel bezogene Schaltungstechnik vorteilhaft.

Der 1-aus-10-Bus (Leitungen /0 bis /9) soll entsprechend der anliegenden BCD-Signale ständig zur Verfügung stehen und kann damit nach außen für andere Zwecke genutzt werden. Steuerungseingriffe bezüglich der 7-Segment-Anzeige werden deshalb nicht von den BCD-Signalen, sondern erst nach der 1-aus-10-Dekodierung generiert.

BCD-Aufbereitung

Die Kode-Tabelle zeigt den vollständigen BCD-Code einschließlich der Pseudotetraden 10 bis 15. Zur 1-aus-10-Dekodierung müssen auch die negierten BCD-Signale zur Verfügung stehen ("0" in der Tabelle). Die meisten Zähler-ICs haben nur die Ausgänge ABCD. Die Negatoren A bis D liefern die gewünschten Signale /A, /B, /C und /D. Der negierte BCD-Bus steht als Aus- oder Eingang extern zur Verfügung.

1-aus-10-Dekodierung

Entsprechend Kode-Tabelle und mit NAND einfach zu verwirklichen entsteht nach Verknüpfung mit den Gattern 0 bis 9 jeweils eine "0" für die Ziffern 0 bis 9. Es ist also nur ein Signal der 10 möglichen Ziffern 0 bis 9 für die weitere Verarbeitung maßgebend (deshalb die Bezeichnung 1-aus-10-Kode). Das vereinfacht auch die Kodierung zum 7-Segment-Kode.

Für Ziffer 1 z.B. ist der BCD-Code ABCD = 1000 (siehe Tabelle). Entsprechend ist A direkt (für die 1) und B, C und D negiert (für 000) an das Gatter 1 geschaltet. Nur wenn alle 4 Signale H führen, liefert der Gatter-Ausgang L und damit die lt. Tabelle gewünschte "0" auf Bus-Leitung /1. Analog dazu werden alle anderen BCD-Kombinationen bis zur 9 ausgewertet.

Die BCD-Pseudotetraden 10 bis 15 werden nicht ausgewertet (Es gibt keine NANDs 10 bis 15.), da sie für die 7-Segment-Darstellung der Ziffern 0 bis 9 nicht nötig sind. Entsprechend bleiben alle Bus-Leitungen /0 bis /9 auf logisch "1" (unterer hinterlegter Teil in der Tabelle). Wird der Dekoder von einem Dezimalzähler angesteuert, treten die BCD-Pseudotetraden sowieso nicht auf.

Der L-aktive 1-aus-10-Bus steht als Aus- oder Eingang extern zur Verfügung.

7-Segment-Dekodierung

Der 7-Segment-Kode lt. Tabelle ist leicht aus der Segmentanordnung abzuleiten. Für eine "1" in der Tabelle gilt, dass das zugehörige Segment abgeschaltet ist. Das ergibt sich aus der GND-seitigen Segmentansteuerung. Umgekehrt muss eine Segmentleitung (Ausgangs-Leitungen a bis f der Gatter a bis f) ein L führen, damit die zugehörige Segment-LED leuchten kann.

Der 7-Segment-Kode zeigt, dass nur 21 mal die "1" auftaucht (hinterlegt), dagegen 49 mal die "0". Deshalb ist es sinnvoller, die "1" auszuwerten, d.h. die für eine bestimmte anzuzeigende Ziffer nicht benötigten Segmente zu sperren.

Segment a z.B. muss bei den Ziffern 1 und 4 AUS sein (Spalte a in der Tabelle, 2 mal die hinterlegte "1"). Entsprechend sind die Leitungen /1 und /4 an das Gatter a geschaltet. Der Gatter-Ausgang liefert immer dann H, wenn eine dieser Eingangs-Leitungen L führt (L greift nach H durch). Damit wird wie gewünscht das Segment a immer dann gesperrt, wenn Ziffer 1 oder 4 auf dem 1-aus-10-Bus aktiv sind. Analog dazu werden alle anderen 1-aus-10-Leitungen ausgewertet.

Allerdings fällt auf, dass die Leitung /8 für die 7-Segment-Kodierung nicht angeschlossen ist, wozu auch. Bei Ziffer 8 müssen ja alle Segmente leuchten, deshalb muss auch nicht ausgewertet werden, welches Segment gesperrt werden muss. Leitung /8 wird aber zur Erkennung der BCD-Pseudotetraden benötigt. Außerdem soll ja der 1-aus-10-Bus für die externe Verwendung komplett sein.

Segment-Sperre (Dunkeltastung)

Die zusätzliche gemeinsame Eingangs-Leitung /SBL (segment-blanking), die an jedem der Gatter a bis f anliegt, dient der Sperre aller Segmente (L-aktiv, damit unabhängig von der 1-aus-10-Busbelegung). Es gibt mehrere unterschiedliche Situationen, bei denen alle Segmente ausgeschaltet werden müssen.

Pseudotetraden-Behandlung

Da bei den BCD-Pseudotetraden 10 bis 15 der 1-aus-10-Bus komplett mit "1" belegt ist, würden ohne weitere Maßnahme bei dezimal 10 bis 15 alle Segmente leuchten. Das verhindert die Schaltung mit den Gattern :1, :5 und :6, die ein L für die /SBL-Leitung liefert.

Die Tabelle im Bild zeigt, dass die Signale D, /8 und /9 UND-verknüpft werden müssen. Diese UND-Verknüpfung liefert nur dann ein Signal, wenn die entsprechenden 3 Spalten in der Tabelle eine "1" führen (eingerahmt in der Tabelle), und das ist nur bei den Pseudotetraden der Fall.

Da Gatter :1 ein NAND ist, liefert es also bei Leitung D="1", /8="1" und /9="1" (3 mal H am Eingang) ein L am Ausgang. Dieses L wird über Gatter :5 und :6 auf /SBL gegeben. Das bedeutet Segment-Sperre.

Vornullen-Unterdrückung

Fertige Dekoder-ICs bieten den Komfort der Vornullen-Unterdrückung. Das bedeutet, in einer Anzeigeeinheit werden führende Nullen (Nullen links vom Zahlenwert) nicht angezeigt.

Auch in der vorliegenden Schaltung gibt es einen Eingang /RBI (ripple-blanking input), der L-aktiv die Null sperrt und einen Ausgang /RBO (ripple-blanking output), der an die nächstniedrigere Dezimalstelle meldet, dass gerade eine Null angezeigt wird. Damit die Vornullen-Unterdrückung funktioniert, sind die RB-Anschlüsse der einzelnen Stellendekoder zu verbinden (beginnend bei der höchsten Stelle, siehe Bild). Die letzte niedrigste Stelle bleibt unbeschaltet, beim Wert Null soll ja wenigstens eine Null angezeigt werden.

Anmerkung:

Diese Art der Vornullen-Unterdrückung nimmt keine Rücksicht auf gleitende Dezimalpunkte. Soll die Vornullen-Unterdrückung mitgleiten (z.B. soll eine Anzeige "0,00" möglich sein), muss das RB-Signal zusätzlich mit den Dezimalpunkten verknüpft werden.

Ausgang /RBO

Ausgang /RBO muss der nächstniedrigen dezimalen Anzeigestelle melden, wenn aktuell eine dezimale Null vom BCD-Code ausgegeben wird. Da der 1-aus-10-Bus L-aktiv ist, kann einfach das Signal der /0-Leitung als /RBO-Signal dienen.

Eingang /RBI

Eingang /RBI empfängt das /RBO-Signal. Bei L weiß die Anzeigestelle, dass links von ihr nur Nullen sind, aber nicht angezeigt werden. Also muss sie eine anzuzeigende Null ebenfalls unterdrücken.

Ob aktuell eine Null anzuzeigen ist, wird mit Gattereingang :2 von der 1-aus-10-Busleitung das /0-Signal erfasst und bei /0 = L als H dem Gatter :4 zugeleitet. Außerdem ist das negierte /RBI-Signal am Gatter :4 angeschlossen. Ist /RBI = L, erhält Gatter :4 das zweite H und liefert damit ein L am Ausgang. Dieses L wird über Gatter :5 und :6 auf /SBL gegeben. Das bedeutet Segment-Sperre bei BCD = dezimal Null.

Eingang Dunkelastung /BL

Über Eingang /BL ist es L-aktiv möglich, unabhängig von allen anderen Dekoder-Zuständen alle Segmente zu sperren. Wird ein Impulssignal mit variabler Einschaltdauer über /BL eingespeist, ist eine Helligkeitssteuerung der Segmente möglich.

Signal /BL wird über Gatter :5 und :6 auf /SBL gegeben. Das bedeutet mit /BL = L Segment-Sperre.

Eingang Test /LT

Über Testeingang /LT (lamp test) ist es L-aktiv möglich, unabhängig von allen anderen Dekoder-Zuständen und Steuer-Eingängen alle Segmente einzuschalten. Dazu steuert Signal /LT über Gatter :7 den Treibertransistor Q1 an. Bei /LT = L ist Q1 durchgesteuert und legt damit alle Segmentleitungen a bis g über die Dioden D1 bis D7 auf GND. Dadurch leuchten alle Segmente.

Transistor Q1 muss die Summe aller Segmentströme schalten können.

Ansteuerung der 7-Segment-Anzeige

In der Schaltung werden die Segmente über normale TTL-Ausgänge angesteuert. Da keine weiteren Logikeingänge an a bis f angeschlossen sind, können die TTL-Ausgänge bequem 20 mA (Standardgatter) aufnehmen. Auch sind Gatter mit offenem Kollektor (OC) einsetzbar. Zusätzliche Pull-Up-Widerstände sind dann nicht nötig. OC-Ausgänge bieten auch die Möglichkeit, die Anzeige mit höherer Spannung zu betreiben (siehe Datenblatt des verwendeten IC). Die Widerstände R1 bis R6 sind dann anzupassen.

Bei CMOS-Gattern muss geprüft werden (Datenblatt), ob sie den Segmentstrom aufnehmen können. Die Widerstände R1 bis R6 sind dann gegebenenfalls zu vergrößern. Für die Anzeige VQB73 (alter DDR-Typ) reichen 10 mA Segmentstrom für eine gute Helligkeit aus.

Verwendung, Vor-/Nachteile der Schaltung

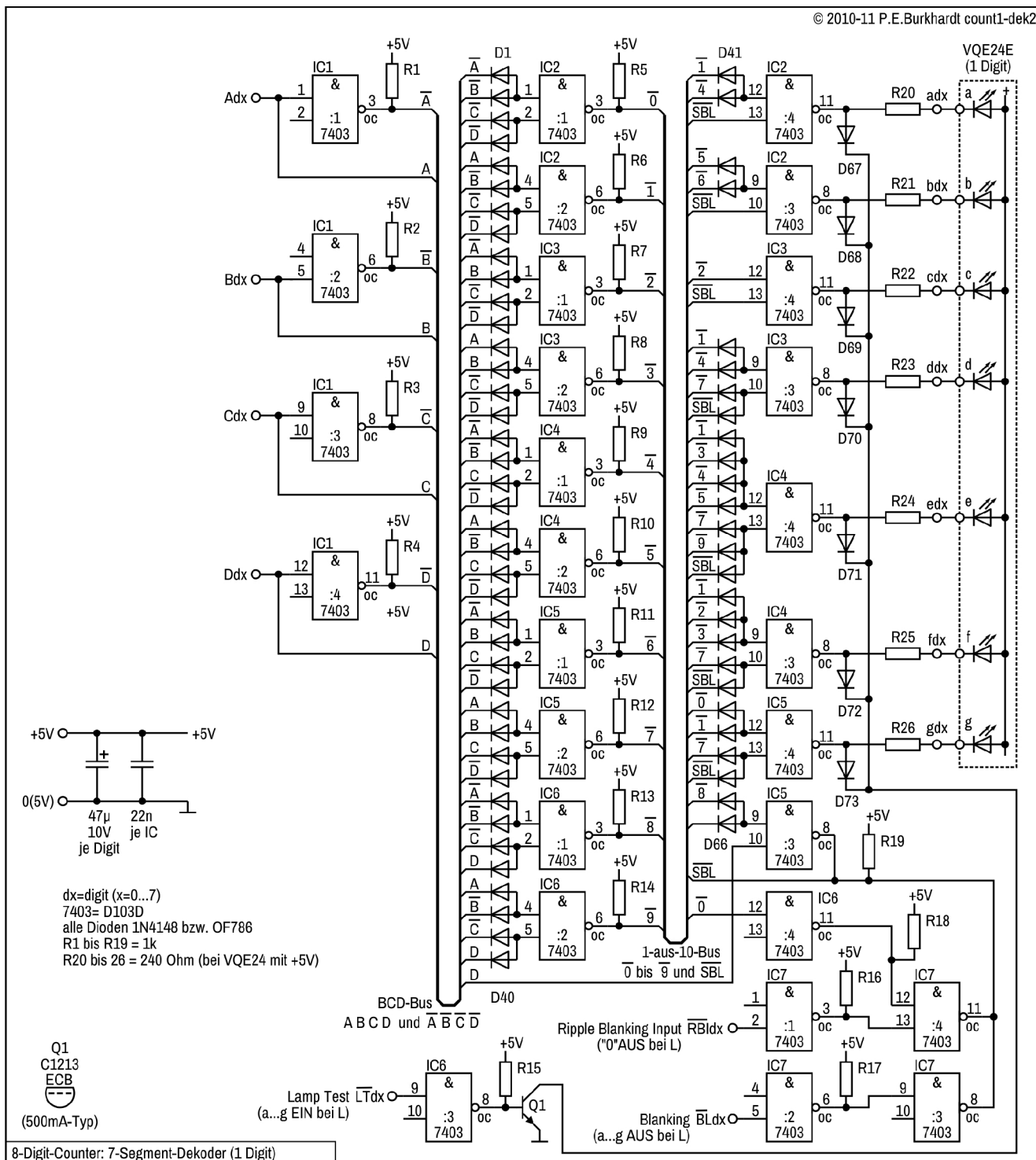
Der Dekoder ist recht universell einsetzbar. Er kann verwendet werden als:

- Dekoder BCD zu 7-Segment (BCD-Eingabe auch negiert)
- Dekoder BCD zu L-aktivem 1-aus-10 (BCD-Eingabe auch negiert)
- Koder 1-aus-10 (L-aktiv) zu 7-Segment
- Negator für BCD-Signale
- Segment-Ausgabe mit Vornullen-Unterdrückung, Helligkeitssteuerung und Segment-Test

Die detaillierte Schaltungstechnik zeigt, wie ein Dekoder mit Hilfe der Kode-Tabelle entworfen werden kann. Fertige Dekoder-ICs sind zwar einfacher in der endgültigen Anwendung (z.B. in Zählern), aber für Versuche und für das Verständnis der digitalen Kodierung nicht so gut geeignet.

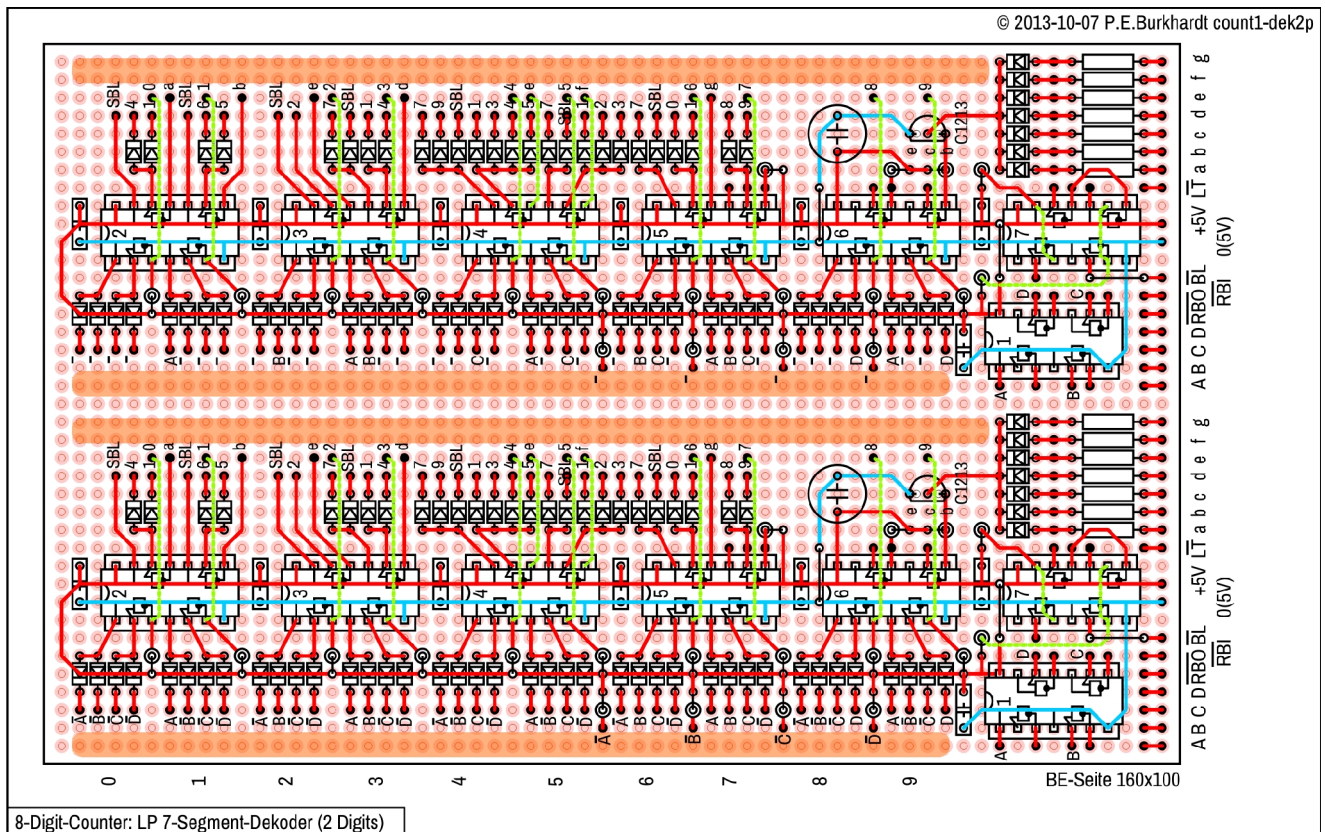
Dekoder-Schaltung und -Aufbau

Die Dekodierung erfolgt mit den OC-ICs D103 (7403). Dioden erweitern die Eingänge, so dass trotzdem nur 7 ICs je Digit (Anzeigestelle) erforderlich sind. Die Open-Collector-Ausgänge des D103 vereinfachen die Schaltung.



Die Schaltung im Bild entspricht dem obigen Schaltungsprinzip und ist nur bezüglich der verwendeten Bauelemente angepasst.

Der Aufbau erfolgt auf Lochraster-LP 160x100. Es passen jeweils 2 Digits auf eine LP, so dass insgesamt 4 Dekoder-LPs für die 8 Stellen erforderlich sind. Ein Multiplexen der Anzeigestellen erfolgt nicht.



Ein- und Ausgänge

Alle Ein- und Ausgangsanschlüsse sind an einer LP-Schmalseite zusammengefasst, so dass sich beim Stapeln der 4 Dekoder-LPs eine günstige Anschluss-Verdrahtung ergibt.

Die BCD-Anzeigedaten kommen vom Latch (Zwischenspeicher nach den Zähler-ICs). Die dekodierten 7-Segment-Signale a bis g gehen zur 8-stelligen-Anzeige-LP. Zusätzlich stehen Steuersignale für Dezimalpunkt, Helligkeitssteuerung und LED-Test zur Verfügung (siehe Beschreibung weiter oben).

LP-Verdrahtung

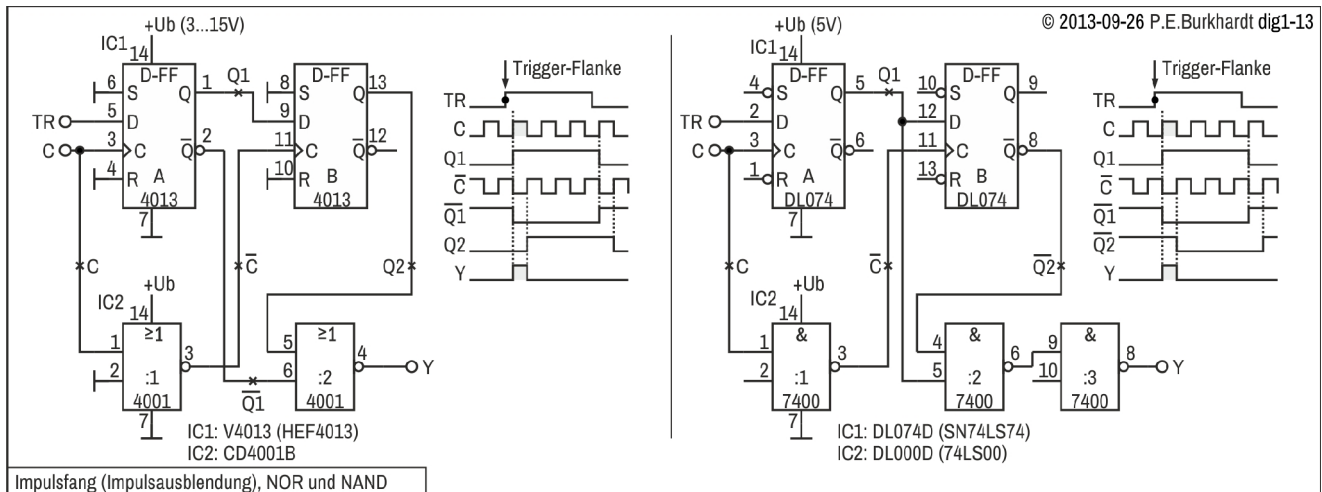
Kurze Verbindungen sind auf der Leiterseite mittels 0,4mm-Cu-Draht nachgebildet (im Bild rot bzw. blau für GND). Zusätzlich gibt es auf der Leiterseite einige isolierte Brücken (im Bild grün-gestrichelt). Den Hauptteil der Verdrahtung bilden zwei Drahtbündel, jeweils einer für den BCD-Bus und einer für den 1-aus-10-Bus. Diese Verbindungen laufen längs der LP auf der Bauelementeseite und sind mit dünnem isoliertem Schmelzdraht realisiert. Durch die Konzentration auf diese zwei Drahtbündel (je Digit) bleibt alles übersichtlich und die Leiterplatte macht einen aufgeräumten Eindruck.

|| Der Bau des 8-Digit-Zählers wird nicht weitergeführt.

Spezielle Schaltungen

Impulsfang aus dem Taktsignal

Wird ein Impuls benötigt, der synchron zum Taktsignal ist und dessen Impulsdauer der des Taktsignals entspricht, kann die folgende Schaltung helfen. Mit einem Steuersignal wird der nächstmögliche Impuls aus dem Taktsignal separiert und steht dann als Einzelimpuls am Ausgang zur Verfügung.



Schaltungsbeschreibung

Das Triggersignal TR löst den Impulsfang aus. Dazu wird TR am D-Eingang des ersten D-FFs (links im Bild) mit jeder L/H-Taktflanke in das FF übernommen. Der Q-Ausgang dieses FFs liefert sein Q1-Signal an den D-Eingang des zweiten FFs (rechts im Bild). Das zweite FF wird mit dem invertierten Taktsignal /C getaktet. Damit stehen nun genügend Signale zur Verfügung, um mit einer logischen Verknüpfung den gewünschten Impuls zu separieren.

Im Bild links werden NOR-Gatter verwendet. Das Gatter :2 verknüpft die Signale /Q1 und Q2, Am Ausgang Y entsteht der gewünschte H-Impuls. Dieser H-Impuls ist nahezu identisch mit dem ersten H-Impuls des Taktsignals C, der nach der L/H-Flanke des Triggersignals TR auftritt.

Im Bild rechts werden NAND-Gatter verwendet. Das Gatter :2 verknüpft die Signale Q1 und /Q2, Am Gatter-Ausgang entsteht der gewünschte Impuls, allerdings L-aktiv. Gatter :3 bildet daraus durch Negation einen H-Impuls. Dieser H-Impuls ist nahezu identisch mit dem ersten H-Impuls des Taktsignals C, der nach der L/H-Flanke des Triggersignals TR auftritt.

Natürlich ist der gewonnene Impuls etwas verzögert gegenüber dem Originalimpuls des Taktsignals. Je schneller die eingesetzten ICs sind und je stabiler das Taktsignal ist, desto mehr entspricht der Einzelimpuls dem Impuls des Taktsignals. Die Länge des Triggerimpulses spielt keine Rolle. Maßgebend ist die triggernde L/H-Flanke, die während einer L-Zeit des Taktsignals auftreten sollte. Kommt die triggernde L/H-Flanke während der H-Zeit des Taktsignals, wird erst der nächste H-Impuls separiert. Es gibt also eine Zeitverzögerung zwischen der triggernden Flanke und der Flanke des einzufangenden H-Impulses. Diese Verzögerung kann im ungünstigsten Falle fast eine Periodendauer des Taktsignals betragen.

Fazit

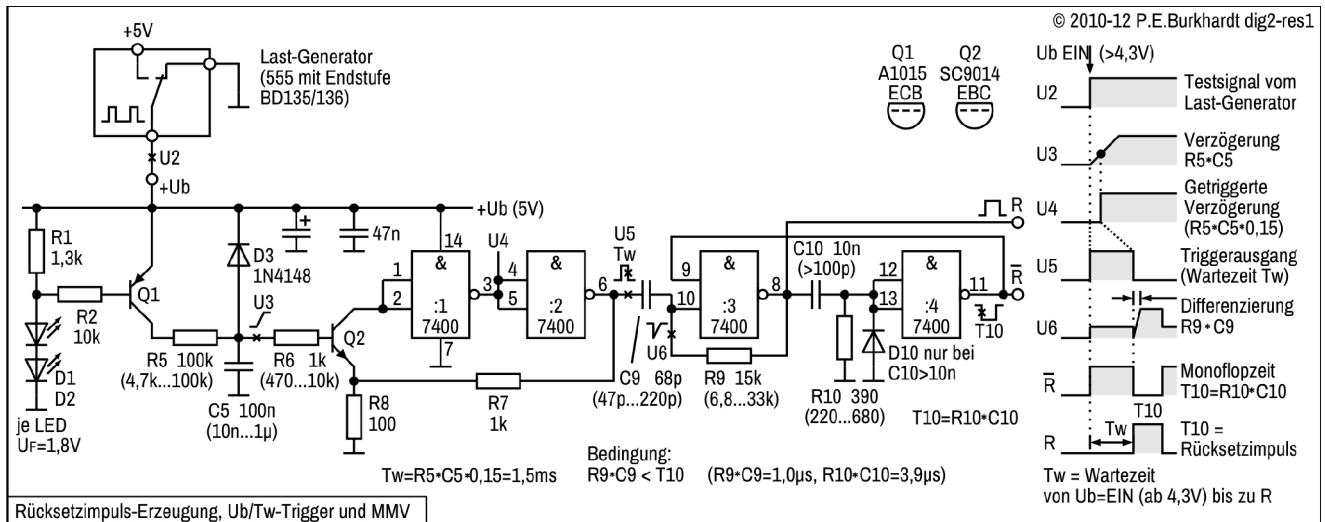
Mit nur 2 ICs (2-fach-D-FF und NOR bzw. NAND) lässt sich aus einer Taktimpulsfolge ein einzelner H-Impuls gewinnen, der nahezu dem H-Impuls des Taktsignals entspricht.

Reset mit Ub-Trigger und Monoflop

Prinzip

In digitalen Schaltungen ist häufig beim Einschalten der Betriebsspannung ein definierter Rücksetzimpuls erforderlich. Die folgende Reset-Schaltung erfasst das Ub-Einschalten ab ca. 4,3 V und generiert nach einer gewissen Wartezeit den Rücksetzimpuls. Damit werden dann die ICs (z.B. Flip-Flop, Zähler usw.) zurückgesetzt und die Digitalschaltung beginnt unter definierten Anfangsbedingungen zu arbeiten.

Für Test und Optimierung mit dem analogen Oszilloskop schaltet ein 555 periodisch die Betriebsspannung Ub an die zu testende Reset-Schaltung.



Rücksetzimpuls-Erzeugung mit Ub-Trigger und Monoflop

Schaltungsteile

Basis der Reset-Schaltung ist ein ganz normaler TTL-IC 7400. Natürlich ist auch der LS-Typ oder ein CMOS-IC möglich. Die Dimensionierung bezieht sich aber auf den einfachen TTL-Typ.

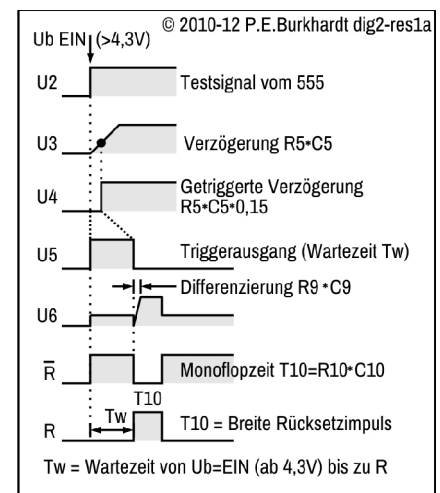
Transistor Q1 mit seiner Basis-Beschaltung sorgt dafür, dass beim Ub-Einschalten (U2) erst Spannungswerte ab ca. 4,3 V gültig sind. Lange Anstiegszeiten durch hohe kapazitive Last und/oder durch hohen Netzteil-Innenwiderstand werden so ignoriert und der Reset-Impuls entsprechend später generiert.

Der weitere Ub-Spannungsanstieg beim Einschalten wird, sobald Transistor Q1 leitend ist, mit R5-C5 verlangsamt (U3). Der anschließende Trigger (Q2, Gatter :1 und :2) wertet diese Verzögerung aus und liefert am Ausgang mit U5 einen Warte-Impuls, dessen Dauer die Zeitkonstante $R5 \cdot C5$ bestimmt.

Das Ende des U5-Impulses (fallende Flanke) triggert den MMV mit den Gattern :3 und :4. Dieser Monoflop bestimmt die Länge des Reset-Impulses mit $R_{10} \cdot C_{10} = T_{10}$. Der Reset-Impuls /R bzw. R beginnt

also nach der Wartezeit U5 ab Ub-Einschalten und endet nach der Zeit T10. Damit sind sowohl Vorder- als auch Rückflanke von R für das Zurücksetzen nutzbar, abhängig von den ICs der angeschlossenen Schaltung.

Die vorangegangene Wartezeit Tw (U5) sichert, dass Ub voll anliegt und auch sonst die Schaltung im betriebsbereiten Zustand ist.



Trigger und Wartezeit

Die Triggerschaltung mit dem Transistor Q2 hat bei hoher Q2-Stromverstärkung einen großen Eingangswiderstand (mehr als 500 k Ω). Das bringt Vorteile bei der Dimensionierung des die Wartezeit bestimmenden RC-Gliedes R5-C5.

R5 darf relativ hochohmig sein, C5 bei gegebener Zeitkonstante entsprechend klein. Oder, die Wartezeit kann lang sein, ohne dass C5 zu groß gewählt werden muss. Die möglichen Werte sind im Bild angegeben.

Die Berechnungsformel zu T_w wurde empirisch ermittelt und gilt nur für die angegebene Triggerschaltung.

Wozu eine lange Wartezeit nötig sein kann, ist weiter unten beschrieben.

Funktion des Triggers

Der Trigger wird als Impulsformer verwendet, da TTL-Standard-Gatter im Übergangsbereich (L-H bzw. H-L) eine Schwingneigung haben, wenn sie mit langsamen Signalfanken angesteuert werden. Und genau dies ist hier durch die R5/C5-Verzögerung der Fall.

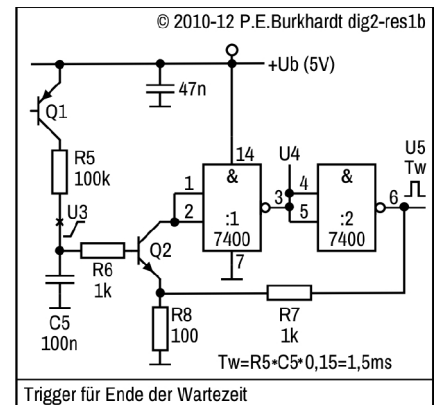
Der verwendete Trigger mit Rückkopplung über R7 auf den Q2-Emitter gewährleistet mit seiner Hysterese (Differenz der Einschalt- zur Ausschaltspannung), dass die Umschaltung von L nach H schnell erfolgt. Der langsame Spannungsanstieg U3 über R6 an der Q2-Basis wird gewissermaßen abgetastet und führt bei Erreichen des Einschalt-Schwellwertes zum schnellen Umschalten des Triggers in die anhaltende Betriebslage (Q2 ein, Pin 1/2 auf L, Pin 3/4/5 auf H, Pin 6 auf L). Das ist aber bereits das Ende der Wartezeit.

Zu Beginn des U3-Anstiegs (U_b hat bereits ca. 4,3 V erreicht und Q1 ist durchgesteuert) liegt die Q2-Basis auf L (C5 entladen), der Trigger befindet sich in der Wartelage (Q2 aus, Pin 1/2 auf H, Pin 3/4/5 auf L, Pin 6 auf H). Der Warteimpuls U5 führt H, ist also aktiv.

R7 beeinflusst die Triggerschwelle, R6 begrenzt den Q2-Basisstrom. Auf einen Widerstand vom Q2-Kollektor zu + U_b zum Klemmen des H-Pegels wurde verzichtet, da der Q2-Kollektor nur in der kurzen Einschaltphase auf H liegt und deshalb keine Störeinstreuungen zu befürchten sind.

MMV für den Reset-Impuls

Der Monoflop mit den Gattern :3 und :4 erzeugt den Reset-Impuls /R (bzw. R) mit einstellbarer Dauer. Dadurch ist /R an unterschiedliche Rücksetzaufgaben anpassbar. Sollten verschiedene Impulslängen erforderlich sein, können ausgehend von /R (bzw. R) einfache Impulsverkürzungs-Schaltungen oder weitere Monoflops nachgeschaltet werden. Auch kann R als Ausgangspunkt für Taktgeneratoren in Mehrtakt-Systemen dienen.



Ruhezustand des MMV

Im Ruhezustand liegt der Eingang des Gatters :4 über R10 auf L. Damit L noch gelesen wird, darf der Gatter-Eingangsstrom über R10 max. 0,8 V Spannungsabfall verursachen. R10 darf also nicht zu groß sein. Der Gatter-4-Ausgang liegt demzufolge auf H (/R ist H, also inaktiv), der Gatter-3-Eingang Pin 9 ebenfalls. Ist der andere Eingang Pin 10 ebenfalls H (kein U6-Impuls), ergibt sich am Gatter-3-Ausgang L-Pegel. An diesem stabilen Zustand ändert sich ohne äußeren Einfluss nichts.

Aktivzustand des MMV

Der Monoflop wird durch eine HL-Flanke am Gatter-3-Eingang Pin 10 ausgelöst. L greift durch nach H, Gatter-3-Ausgang springt also auf H. Dieser LH-Spannungssprung wird über C10 auf den Gatter-4-Eingang übertragen (dieser war ja bisher stabil L), der Gatter-4-Ausgang springt auf L. Damit wird der Rücksetzimpuls /R aktiv, T10 beginnt.

Gatter-3-Eingang Pin 9 ist jetzt aber ebenfalls L. Verschwindet nun der U6-Impuls am Pin 10, bleibt der Gatter-3-Ausgang trotzdem auf H. Die Rückkopplung vom Gatter-4-Ausgang zum Gatter-3-Eingang stabilisiert also den quasistabilen (aktiven) Zustand des MMV.

Der Aktivzustand hält aber nur solange an, bis sich C10 über R10 soweit entladen hat, dass der Gatter-4-Eingang L-Pegel liest. L greift durch nach H, Gatter-4-Ausgang geht also auf H. Der Reset-Impuls /R wird inaktiv, die T10-Zeit ist zu Ende.

Die L-Rückkopplung zum Gatter-3-Eingang Pin 9 ist ebenfalls nicht mehr vorhanden, Gatter-3-Ausgang wird L. Dieser HL-Spannungssprung wird über C10 auf den Gatter-4-Eingang übertragen und stabilisiert damit das L am Gatter-4-Eingang.

Beide Gatter wurden also, ausgelöst durch das Ende der C10-Entladung über R10, durch diese Rückkopplung schnell umgeschaltet. Damit ist der Ruhezustand des MMV wieder erreicht.

Länge des Triggerimpulses U6

Die U5-Rückflanke (Ende der Wartezeit T_w) löst nach Differenzierung mit C9-R9 den Aktivzustand des MMV aus. Der Triggerimpuls U6 muss kleiner sein als die Monoflop-Haltezeit T10, d.h. die Zeitkonstante $R_9 \cdot C_9$ muss kleiner sein als die Zeitkonstante $R_{10} \cdot C_{10}$.

Ist der Triggerimpuls zu lang, wird zwar nicht die Monoflop-Funktion verhindert, jedoch die Rückkopplung vom Gatter-4-Ausgang zum Gatter-3-Eingang Pin 9 unwirksam. Dadurch verlieren /R und R die Steilheit der Rückflanke und es kann zu Störschwingungen auf dieser Rückflanke kommen.

Die angegebenen Wertebereiche für R9 und C9 (siehe Gesamtschaltung) lassen rechnerisch eine minimale Triggerimpulsbreite von 320 ns zu. Die erzeugten Ausgangsimpulse /R bzw. R sollten also wesentlich länger sein.

Sind sehr kurze Reset-Impulse erforderlich, muss dem Monoflop eine Impulsverkürzung nachgeschaltet werden.

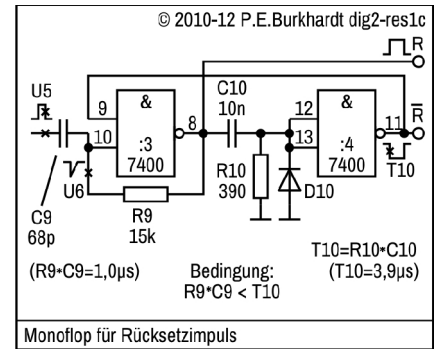
Wiederbereitschaftszeit des MMV

Unter Wiederbereitschaftszeit (auch Ruhezeit oder Erholzeit) ist der zeitliche Abstand vom letzten Monoflop-Ausgangsimpuls zum nächsten Triggerimpuls zu verstehen. Da der Reset-Impuls nur einmal beim U_b -Einschalten generiert wird, hat die Wiederbereitschaftszeit hier keine Bedeutung.

Würde der Triggerimpuls schon kurz nach der Monoflop-Zeit T10 eintreffen, wäre C10 noch nicht restlos entladen und T10 würde sich in der nächsten Monoflop-Aktivzeit verkürzen. Die Wiederbereitschaftszeit sollte mindestens so groß wie die Monoflop-Zeit sein.

Diode D10

Zu Beginn der Monoflop-Aktivzeit wurde C10 auf H-Pegel (ca. +3,5 V) aufgeladen. Während der Aktivzeit entlädt sich C10 über R10 (weiter oben beschrieben). Mit Ende der Aktivzeit wechselt der Gatter-3-Ausgang von H nach L. Diese HL-Flanke wird mit C10-R10 differenziert und tritt als negative Spannung an den Gatter-4-Eingängen auf.



Die interne Substrat-Diode ungeschützter TTL-Eingänge (Standard-Serie) begrenzt die negative Eingangsspannung auf ca. -0,7 V. Das ist aber nur für sehr kurze Zeit zulässig. Deshalb ist bei hohem C10-Wert die Diode D10 erforderlich. D10 sollte eine niederohmige Schottky-Diode sein. Schottky-Dioden sind wegen der niedrigen Fluss-Spannung von ca. 0,3 V besonders geeignet.

Ub-Schwellwert und Wartezeit Tw

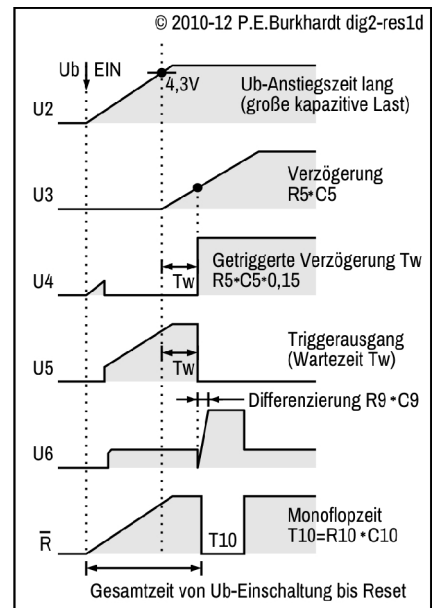
Beim Zuschalten der Betriebsspannung Ub müssen die Kondensatoren der Digital-Schaltung aufgeladen werden, bevor sich die endgültige (nominale) Betriebsspannung einstellt. Die Ub-Anstiegsflanke ist dabei umso flacher, je mehr Stützkondensatoren (besonders Elkos mit hohem C-Wert) in der Schaltung sind und um je höher der Innenwiderstand der Ub-Spannungsquelle ist.

Das bedeutet aber auch, dass die Wartezeit vor dem Erzeugen des Reset-Impulses länger als die Ub-Anstiegszeit sein sollte. Ist die Ub-Anstiegszeit sehr lang, muss auch die Wartezeit sehr lang sein.

Die Reset-Schaltung soll universell sein. In Systemen mit kurzer Ub-Anstiegszeit würde eine sehr lange Wartezeit eher stören, wenn z.B. im digitalen System schon Schaltvorgänge stattfinden, die nicht gewünscht sind und normalerweise per Reset vermieden werden. Kurz gesagt, die Wartezeit sollte sich anpassen.

Und genau diese Anpassung wird dadurch erreicht, dass die Wartezeit Tw nicht mit dem Ub-Zuschalten beginnt, sondern erst, wenn Ub fast ihren Nominalwert 5 V erreicht hat. Zur konstanten Wartezeit Tw wird also die vom System und der Ub-Versorgung abhängige Ub-Anstiegszeit addiert.

Das Impulsdigramm verdeutlicht die Zusammenhänge.

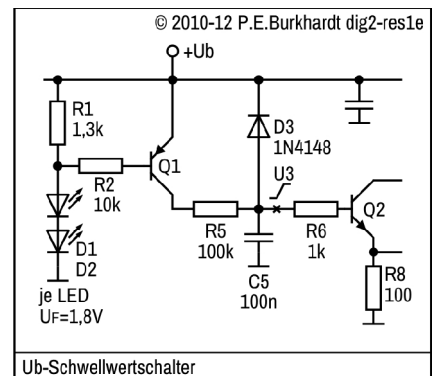


Ub-Schwellwertschalter

Die Auswertung der erreichten Ub-Höhe erledigt ein einfacher Schwellwertschalter (Q1, D1, D2, R1, R2). Die Fluss-Spannung der LEDs im Zusammenhang mit R2 und der Q1-Basis-Emitter-Spannung lässt den Transistor leitend werden, wenn Ub nach dem Zuschalten ca. 4,3 V erreicht hat.

Genau muss dieser Schwellwert nicht sein, wichtig ist aber, dass der Schalter mit der zugeschalteten Betriebsspannung Ub auskommt, also keine zusätzliche Versorgungsspannung benötigt.

Steuert Q1 durch, wird C5 über R5 geladen, d.h. die von $R5 \cdot C5$ bestimmte (und konstante) Wartezeit Tw beginnt. Die Gesamtzeit vom Ub-Zuschalten bis zum Reset-Impuls besteht also aus der variablen Ub-Anstiegszeit und der konstanten Wartezeit Tw.



Diode D3 ist nur für den Test mit dem Last-Generator nötig. Sie entlädt C5 in den Ub-Pausen und sorgt so für eine kurze Wiederbereitschaftszeit der Schaltung. Ist $C5 = 1 \mu F$ oder größer, muss ein Schutzwiderstand in Reihe zur Diode geschaltet werden.

Festlegung der Wartezeit

Die Kombination Ub-Anstiegs-Überbrückung und anschließende Wartezeit ermöglicht es, die Reset-Schaltung unabhängig vom Einsatzfall zu dimensionieren. Ob ohne oder mit 2000µF-Elko, die Reset-Schaltung funktioniert zuverlässig.

Wenn nichts zwingend dagegen spricht, wird die Wartezeit T_w ruhig etwas größer gewählt. Sie soll auch bei langer Ub-Anstiegszeit zumindest die Zeit zwischen 4,3 V und 5,0 V überbrücken, um das System im eingeschwungenen Ub-Zustand rücksetzen zu können. Im Probeaufbau wurde $T_w = 1,5$ ms festgelegt.

Die folgende Tabelle zeigt gemessene T_w -Werte.

R5	C5	T_w gemessen	T_w berechnet
10 k	10 nF	16 µs	15 µs
100 k	10 nF	156 µs	150 µs
10 k	100 nF	144 µs	150 µs
100 kΩ	100 nF	1,48 ms	1,50 ms
10 k	1 µF	1,22 ms	1,50 ms
100 k	1 µF	12,2 ms	15,0 ms

Auf Basis dieser Tabellenwerte wurde die Näherungsformel zur Berechnung der T_w -Zeiten aufgestellt:

$$T_w = R5 * C5 * 0,15$$

Weitere T_w -Zeiten in Abhängigkeit anderer R5- und C5-Werte sind nun leicht berechenbar. Allerdings nimmt der Fehler bei großen Kondensatoren (ab 1 µF) schnell zu.

Vor-/Nachteile der Schaltung

Besonderer Vorteil der Reset-Schaltung ist, dass sich die Zeit vom Einschalten der Betriebsspannung bis zum Reset-Impuls (Ub-Anstiegszeit + Wartezeit) automatisch an den Zeitverlauf der Ub-Zuschaltung anpasst.

Allerdings liegt beim Einschalten auf U4 eine Störspitze, die aber verschwindet, sobald die Gatter arbeiten. Für sehr kurze Reset-Impulse ist zusätzlich eine Impulsverkürzungs-Schaltung erforderlich.

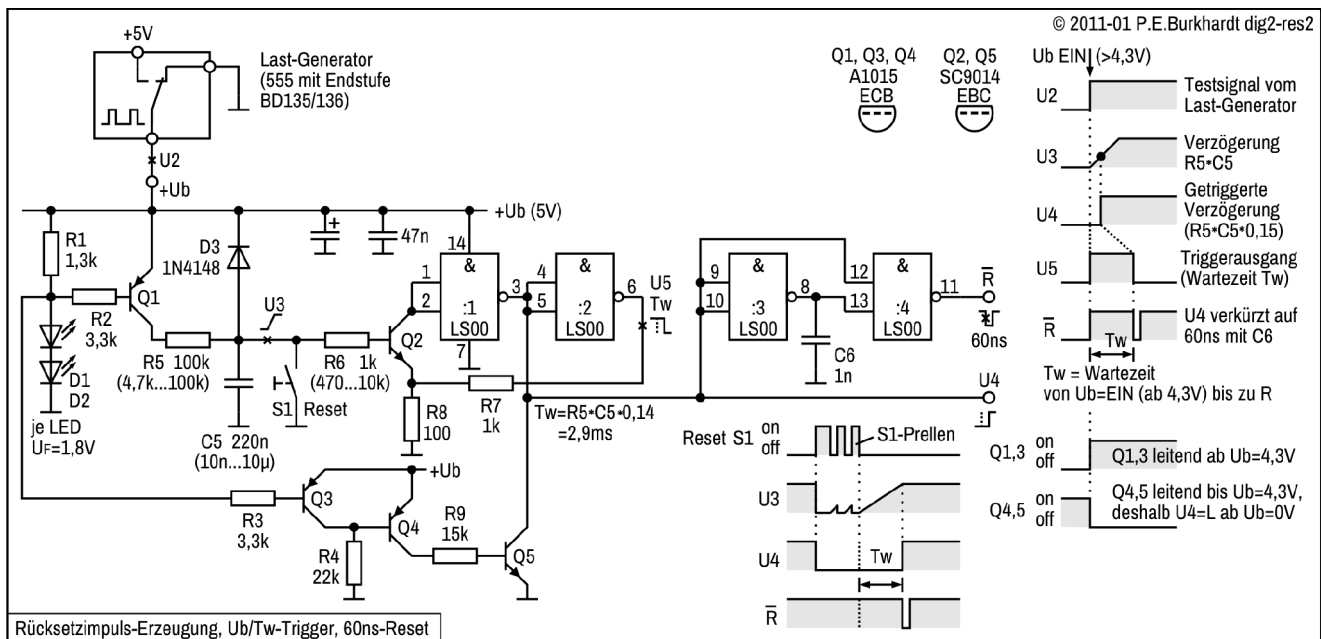
Reset mit Ub-Trigger und Störunterdrückung

Prinzip

Die folgende Reset-Schaltung erfasst das Ub-Einschalten ab ca. 4,3 V und generiert nach einer gewissen Wartezeit einen 60ns-Rücksetzimpuls oder/und einen verlängerten Rücksetzimpuls. Damit werden dann die ICs (z.B. Flip-Flop, Zähler usw.) zurückgesetzt und die Digitalschaltung beginnt unter definierten Anfangsbedingungen zu arbeiten.

Außerdem sorgt eine Störunterdrückung für definierte Anfangspegel, bevor die Wartezeit beginnt.

Für Test und Optimierung mit dem analogen Oszilloskop schaltet ein 555 periodisch die Betriebsspannung Ub an die zu testende Reset-Schaltung.



Rücksetzimpuls-Erzeugung mit U_b -Trigger und 60ns-Reset

Schaltungsteile

Basis der Reset-Schaltung ist ein Low-Power-TTL-IC 74LS00. Natürlich ist auch ein CMOS-IC möglich. Die Dimensionierung bezieht sich aber auf den 74LS00, getestet mit dem DDR-Typ DL000.

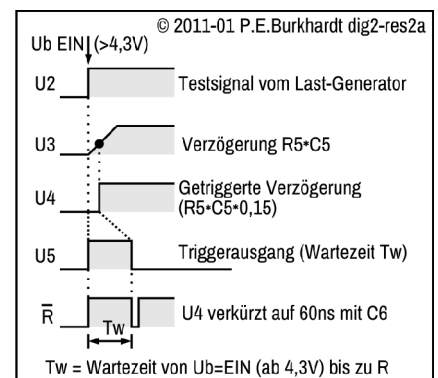
Transistor Q1 mit seiner Basis-Beschaltung sorgt dafür, dass beim U_b -Einschalten (U_2) erst Spannungswerte ab ca. 4,3 V gültig sind. Lange Anstiegszeiten durch hohe kapazitive Last und/oder durch hohen Netzteil-Innenwiderstand werden so ignoriert und der Reset-Impuls entsprechend später generiert.

Der weitere U_b -Spannungsanstieg beim Einschalten wird, sobald Transistor Q1 leitend ist, mit $R5-C5$ verlangsamt (U_3). Der anschließende Trigger (Q_2 , Gatter :1 und :2) wertet diese Verzögerung aus und liefert am Ausgang mit U_5 einen Warte-Impuls, dessen Ende (fallende Flanke) die Zeitkonstante $R5 \cdot C5$ bestimmt.

Außerdem steht mit U_4 der L-aktive Warte-Impuls zur Verfügung, der mit seiner steigenden Flanke anzeigt, dass das System arbeitsfähig ist. Mit der Transistor-Schaltung $Q_3-Q_4-Q_5$ wird U_4 schon auf L-Pegel gehalten, auch wenn die TTL-Gatter noch nicht arbeitsfähig sind. Damit steht ein L-aktiver Anfangsimpuls zur Verfügung, der das System ab U_b -Einschalten bis U_b -Betriebsbereitschaft sperren kann. Danach liegt U_4 ständig auf H, ist also als Betriebsanzeige verwendbar.

Dieser U_4 -H-Pegel wird mit den Gattern :3 und :4 auf einen 60ns-L-Impuls verkürzt, so dass zu Beginn des betriebslangen U_4 -H-Pegels ein kurzer Reset-Impuls zur Verfügung steht.

Die Wartezeit T_w sichert, dass U_b voll anliegt und auch sonst die Schaltung im betriebsbereiten Zustand ist. Zusätzlich ist während des Betriebs mit Taster S_1 ein Reset von Hand möglich.



Trigger und Wartezeit

Die Triggerschaltung mit dem Transistor Q2 hat bei hoher Q2-Stromverstärkung einen großen Eingangswiderstand (mehr als 500 k). Das bringt Vorteile bei der Dimensionierung des die Wartezeit bestimmenden RC-Gliedes R5-C5. R5 darf relativ hochohmig sein, C5 bei gegebener Zeitkonstante entsprechend klein. Oder, die Wartezeit kann lang sein, ohne dass C5 zu groß gewählt werden muss. Die möglichen Werte sind im Bild angegeben. Die Berechnungsformel zu Tw wurde empirisch ermittelt und gilt nur für die angegebene Triggerschaltung. Wozu eine lange Wartezeit nötig sein kann, ist weiter unten beschrieben.

Funktion des Triggers

Der Trigger wird als Impulsformer verwendet, da TTL-Gatter im Übergangsbereich (L-H bzw. H-L) eine Schwingneigung haben, wenn sie mit langsamen Signalfanken angesteuert werden. Und genau dies ist hier durch die R5/C5-Verzögerung der Fall.

Der verwendete Trigger mit Rückkopplung über R7 auf den Q2-Emitter gewährleistet mit seiner Hysterese (Differenz der Einschalt- zur Ausschaltspannung), dass die Umschaltung von L nach H schnell erfolgt. Der langsame Spannungsanstieg U3 über R6 an der Q2-Basis wird gewissermaßen abgetastet und führt bei Erreichen des Einschalt-Schwellwertes zum schnellen Umschalten des Triggers in die anhaltende Betriebslage (Q2 ein, Pin 1/2 auf L, Pin 3/4/5 auf H, Pin 6 auf L). Das ist aber bereits das Ende der Wartezeit.

Zu Beginn des U3-Anstiegs (Ub hat bereits ca. 4,3 V erreicht und Q1 ist durchgesteuert) liegt die Q2-Basis auf L (C5 entladen), der Trigger befindet sich in der Wartelage (Q2 aus, Pin 1/2 auf H, Pin 3/4/5 auf L, Pin 6 auf H). Der Warteimpuls U5 führt H, ist also aktiv.

R7 beeinflusst die Triggerschwelle, R6 begrenzt den Q2-Basisstrom. Auf einen Widerstand vom Q2-Kollektor zu +Ub zum Klemmen des H-Pegels wurde verzichtet, da der Q2-Kollektor nur in der kurzen Einschaltphase auf H liegt und deshalb keine Störeinstreuungen zu befürchten sind.

60ns-Reset-Impuls

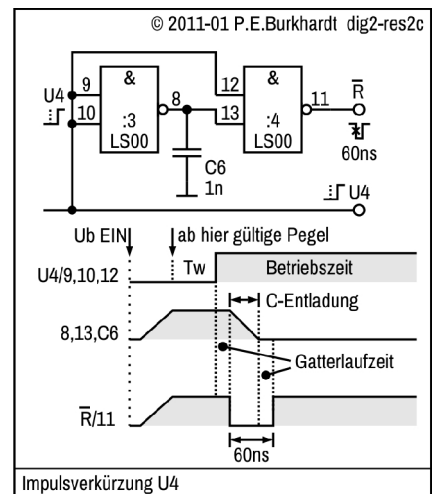
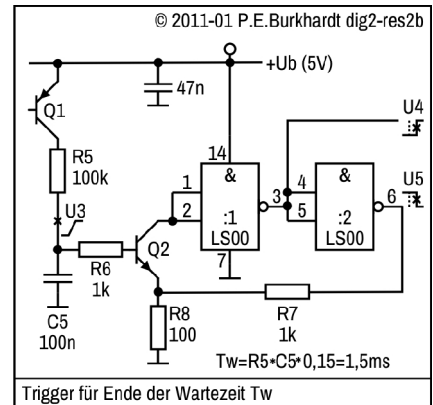
Nach der Wartezeit mit U4-L-Pegel beginnt der betriebslange U4-H-Pegel (Betriebsanzeige des Systems). Dieser U4-H-Impuls wird mit den Gattern :3 und :4 auf einen L-aktiven 60ns-Reset-Impuls verkürzt.

Bei U4-L-Pegel (Ub-Anstiegszeit + Wartezeit) liegt Gatter-3-Ausgang auf H (C6 ist aufgeladen) und Gatter-4-Eingang Pin 13 ebenfalls. Gatter-4-Eingang Pin 12 liegt aber durch U4 auf L, so dass Gatter-4-Ausgang H führt. Das ist der Ruhezustand vor dem Reset-Impuls.

Der Reset-Impuls wird durch die U4-LH-Flanke wie folgt ausgelöst: Geht U4 nach H, so ist am Gatter-4-Eingang Pin 12 sofort H, am Gatter-4-Eingang Pin 13 aber wegen der Gatter-3-Laufzeit und C6-Verzögerung immer noch H. Das bewirkt L am Gatter-4-Ausgang, damit beginnt der L-aktive Reset-Impuls.

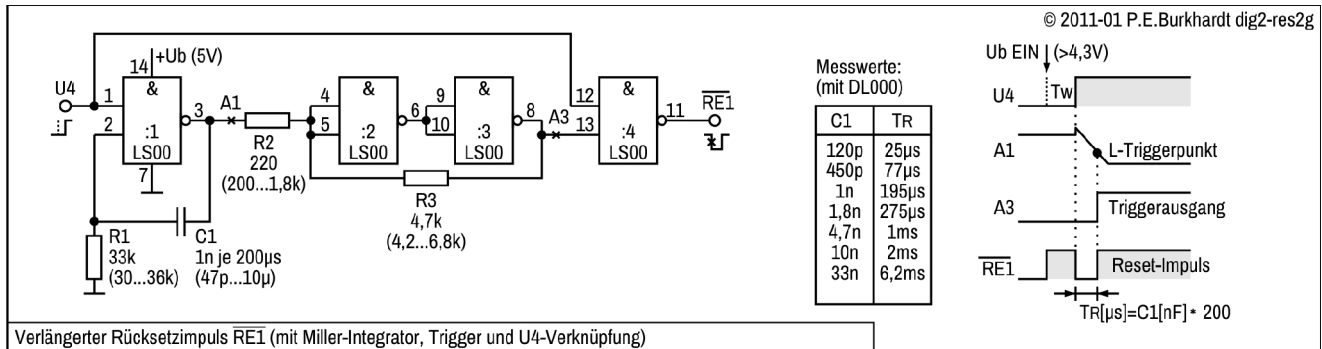
C6 wird nun durch L am Gatter-3-Ausgang (verursacht durch den U4-LH-Wechsel) entladen. Das geschieht schnell, Gatter-4-Eingang Pin 13 erhält L und Gatter-4-Ausgang springt auf H. Damit ist der L-aktive Reset-Impuls zu Ende.

Dieser Zustand bleibt erhalten, solange der U4-H-Pegel anliegt.



Verlängerter Reset-Impuls /RE1

Alternativ zum 60ns-Reset-Impuls (oder auch zusätzlich) zeigt die folgende Schaltung die Generierung eines verlängerten Reset-Impulses.



Verlängerter Rücksetzimpuls RE1 (mit Miller-Integrator, Trigger und U4-Verknüpfung)

Miller-Integrator:

Gatter :1, R1 und C1 bilden den Miller-Integrator zur Signal-Verzögerung. Nur die LH-Flanke von U4 wirkt sich auf die Zeitverzögerung aus. Würde U4 nach L gehen (passiert hier nur beim Ub-Abschalten), würde wie gewöhnlich auch A1 sofort nach H gehen.

Normalerweise liest Gatter-1-Eingang Pin 2 H-Pegel, da der abfließende Strom durch R1 nicht ausreicht, den Eingang auf L zu ziehen. Damit ist auch der R1-Wert in engen Grenzen festgelegt und vom IC-Typ abhängig (für den 7400 sollte R1 = 8,2 k sein). R1 hat keinen wesentlichen Einfluss auf die Verzögerungszeit.

Ein U4-LH-Sprung bewirkt an A1 die C1-Entladung, bis die nachfolgende Schaltung L erkennt. Die Verzögerungszeit ist dabei nur von C1 und vom Gatter-Eingangsstrom am Pin 2 (und damit vom IC-Typ) abhängig. Die empirisch ermittelte Berechnungsformel und gemessene Werte sind im Bild angegeben (für den 7400 gilt der Faktor 100).

Trigger:

Gatter :2, Gatter :3, R2 und R3 bilden den Trigger zur Erkennung des (langsam) fallenden A1-Pegels. Die Widerstände sind auch hier vom IC-Typ abhängig. Die Wertebereiche sind im Bild angegeben (für den 7400 ist der R2-Bereich 220 bis 330 , R3 = 2,2 k fest). Die sich ergebende A3-LH-Flanke am Triggerausgang ist um TR gegenüber der U4-LH-Flanke verzögert.

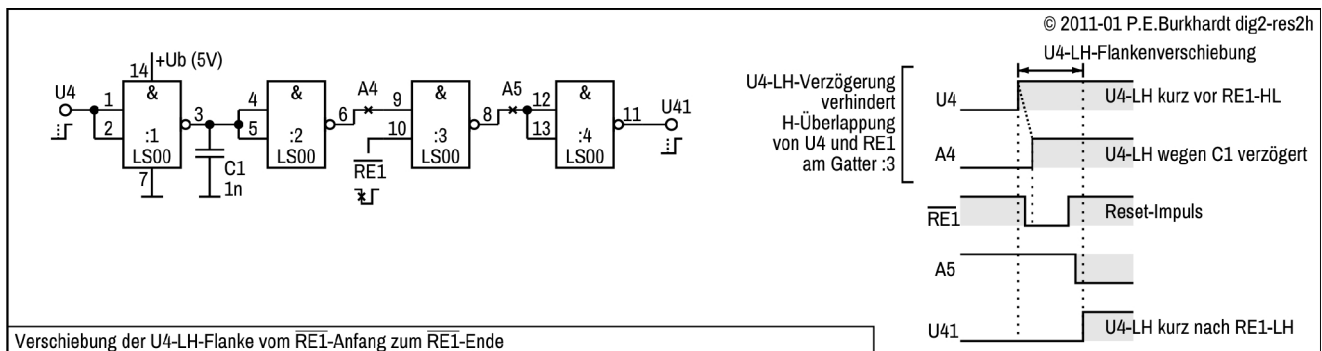
U4-Verknüpfung:

Um einen L-aktiven Reset-Impuls zu erhalten, ist U4 mit A3 NAND-verknüpft. Normalerweise liegt /RV mit Ub-Einschaltung und nach Ablauf der Wartezeit Tw auf H-Pegel (wegen U4 = L). A3 ist H. Mit U4-LH-Sprung geht /RV nach L, da zu diesem Zeitpunkt der Triggerausgang A3 noch H führt. Nach Triggern des A1-L-Pegels (Zeitverzögerung abgelaufen) geht A3 ebenfalls nach L und somit /RE1 nach H. Der Reset-Impuls ist zu Ende.

Mit der möglichen Zeitverzögerung des Miller-Integrators können lange Reset-Impulse bereitgestellt werden. Der diskrete Trigger ist durch einen IC mit Triggereingängen vorteilhaft ersetzbar.

Verschiebung der U4-Flanke

Falls nötig, kann die folgende Schaltung zur U4-LH-Flankenverschiebung auf das Reset-Impuls-Ende verwendet werden.



Verschiebung der U4-LH-Flanke vom RE1-Anfang zum RE1-Ende

Um U4 mit /RE1 verknüpfen zu können, ist U4 zu verzögern. Andernfalls ergibt sich eine H-Überlappung an den Gatter-3-Eingängen und es würde ein kurzer L-Impuls am Gatter-3-Ausgang bzw. ein H-Impuls auf der U41-Leitung entstehen.

Die U4-Verzögerung erledigen die Gatter :1 und :2 in Verbindung mit C1. C1 sollte nicht größer sein, damit die Flankensteilheit des Signals für Gatter :2 noch ausreicht. Es ergeben sich ca. 60 ns Verzögerung. Gatter :3 und :4 bewirken, dass die U4-LH-Flanke als U41-LH-Flanke erst kurz (Gatterlaufzeit) nach dem Ende des Reset-Impulses /RE1 auftritt (siehe Impulsdiagramm).

Reset von Hand

Während des Betriebs wird von U4 kein neuer Reset-Impuls ausgelöst, solange der Reset-Taster S1 nicht gedrückt wird.

Schließt S1, geht U3 sofort nach GND und auch U4 wird L (Reset-Zustand). Öffnet S1 wieder, lädt sich C5 auf, d.h. die Wartezeit Tw beginnt. Ein Prellen des Schalters hat keine Systemwirkung, da U4 auf L bleibt und Tw immer wieder neu beginnt. Erst nach Tw-Ablauf wird der L-aktive Reset-Impuls /R erzeugt.

Die Wartezeit Tw muss natürlich so lang sein, dass sie die Lücke zwischen 2 Prell-Impulsen sicher überbrückt.

Ub-Schwellwert und Wartezeit Tw

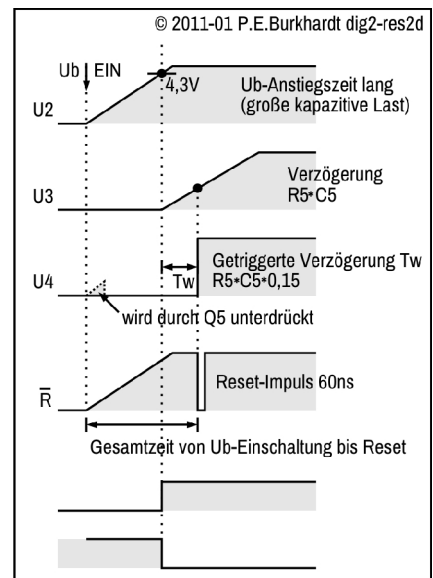
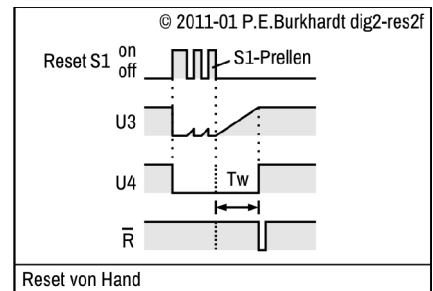
Beim Zuschalten der Betriebsspannung Ub müssen die Kondensatoren der Digital-Schaltung aufgeladen werden, bevor sich die endgültige (nominale) Betriebsspannung einstellt. Die Ub-Anstiegsflanke ist dabei umso flacher, je mehr Stützkondensatoren (besonders Elkos mit hohem C-Wert) in der Schaltung sind und um je höher der Innenwiderstand der Ub-Spannungsquelle ist.

Das bedeutet aber auch, dass die Wartezeit vor dem Erzeugen des Reset-Impulses länger als die Ub-Anstiegszeit sein sollte. Ist die Ub-Anstiegszeit sehr lang, muss auch die Wartezeit sehr lang sein.

Die Reset-Schaltung soll universell sein. In Systemen mit kurzer Ub-Anstiegszeit würde eine sehr lange Wartezeit eher stören, wenn z.B. im digitalen System schon Schaltvorgänge stattfinden, die nicht gewünscht sind und normalerweise per Reset vermieden werden. Kurz gesagt, die Wartezeit sollte sich anpassen.

Und genau diese Anpassung wird dadurch erreicht, dass die Wartezeit Tw nicht mit dem Ub-Zuschalten beginnt, sondern erst, wenn Ub fast ihren Nominalwert 5 V erreicht hat. Zur konstanten Wartezeit Tw wird also die vom System und der Ub-Versorgung abhängige Ub-Anstiegszeit addiert.

Allerdings entsteht kurz nach dem Einschalten durch den schleichenden Ub-Anstieg auf der U4-Leitung eine Störspitze, verursacht durch die noch nicht korrekten TTL-Pegel. Die Transistorschaltung Q3-Q4-Q5 beseitigt diese Spitze (siehe Impulsdiagramm).



Ub-Schwellwertschalter und Störunterdrückung

Die Auswertung der erreichten Ub-Höhe erledigt ein einfacher Schwellwertschalter (Q1, D1, D2, R1, R2). Die Fluss-Spannung der LEDs im Zusammenhang mit R2 und der Q1-Basis-Emitter-Spannung lässt den Transistor leitend werden, wenn Ub nach dem Zuschalten ca. 4,3 V erreicht hat.

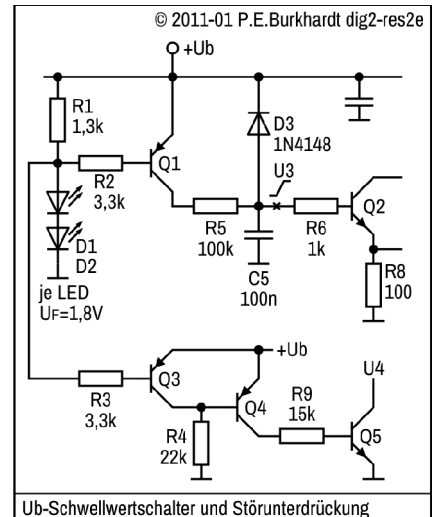
Genau muss dieser Schwellwert nicht sein, wichtig ist aber, dass der Schalter mit der zugeschalteten Betriebsspannung Ub auskommt, also keine zusätzliche Versorgungsspannung benötigt.

Steuert Q1 durch, wird C5 über R5 geladen, d.h. die von $R5 \cdot C5$ bestimmte (und konstante) Wartezeit T_w beginnt. Die Gesamtzeit vom Ub-Zuschalten bis zum Reset-Impuls besteht also aus der variablen Ub-Anstiegszeit und der konstanten Wartezeit T_w .

Transistor Q3 ist beim Einschalten gesperrt (4,3 V noch nicht erreicht), dadurch sind Q4 und Q5 leitend. Q5 hält so die U4-Leitung von Anfang an auf GND (L-Potential). Es tritt im weiteren Verlauf des Ub-Anstiegs keine U4-Störspitze auf.

Sobald die 4,3V-Schwelle erreicht ist, wird Q3 leitend, Q4 und Q5 sperren. Die U4-Leitung bleibt jetzt unbeeinflusst, solange Ub oberhalb 4,3 V liegt. U4 führt also oberhalb 4,3 V immer H, unterhalb 4,3 V immer L.

Damit ist eine einfache Ub-Überwachung realisiert. Diode D3 ist nur für den Test mit dem Last-Generator nötig. Sie entlädt C5 in den Ub-Pausen und sorgt so für eine kurze Wiederbereitschaftszeit der Schaltung. Ist $C5 = 1\mu\text{F}$ oder größer, muss ein Schutzwiderstand in Reihe zur Diode geschaltet werden.



Festlegung der Wartezeit Tw

Die Kombination Ub-Anstiegs-Überbrückung und anschließende Wartezeit ermöglicht es, die Reset-Schaltung unabhängig vom Einsatzfall zu dimensionieren. Ob ohne oder mit 2000µF-Elko, die Reset-Schaltung funktioniert zuverlässig.

Wenn nichts zwingend dagegen spricht, wird die Wartezeit Tw etwas größer gewählt. Sie soll auch bei langer Ub-Anstiegszeit zumindest die Zeit zwischen 4,3 V und 5,0 V überbrücken, um das System im eingeschwungenen Ub-Zustand rücksetzen zu können. Im Probeaufbau wurde Tw = 2,9 ms festgelegt.

Quarzoszillatoren (Taktgeneratoren) können Einschwingzeiten bis zu 100 ms haben. Im Probeaufbau ließ sich ein gekapselter 40MHz-Oszillator (1346 JPN) ca. 2,1 ms Zeit, bis er Impulse lieferte. Die Wartezeit muss groß genug sein, damit der Reset-Impuls erst generiert wird, wenn der Oszillator sicher schwingt. Bis zum Ende von Tw ist eine Torschaltung mit U4 hilfreich, um die ersten Oszillator-Impulse zu sperren.

Die folgende Tabelle zeigt gemessene Tw-Werte.

R5	C5	Tw gemessen	Tw berechnet
10 k	10 nF	16 µs	14 µs
100 k	10 nF	156 µs	140 µs
10 k	100 nF	140 µs	140 µs
100 k	100 nF	1,40 µs	1,40 ms
100 kΩ	220 nF	2,90 ms	3,08 ms
10 k	1 µF	1,16 ms	1,40 ms
100 k	1 µF	11,6 ms	14,0 ms
10 k	10 µF	9,7 ms	14,0 ms
100 k	10 µF	97 ms	140 ms

Auf Basis dieser Tabellenwerte wurde die Näherungsformel zur Berechnung der Tw-Zeiten aufgestellt:

$$Tw = R5 * C5 * 0,14$$

Weitere Tw-Zeiten in Abhängigkeit anderer R5- und C5-Werte sind nun leicht berechenbar. Allerdings nimmt der Fehler bei großen Kondensatoren (ab 1 µF) schnell zu.

Vor-/Nachteile der Schaltung

Besonderer Vorteil der Reset-Schaltung ist, dass sich die Zeit vom Einschalten der Betriebsspannung bis zum Reset-Impuls (Ub-Anstiegszeit + Wartezeit) automatisch an den Zeitverlauf der Ub-Zuschaltung anpasst.

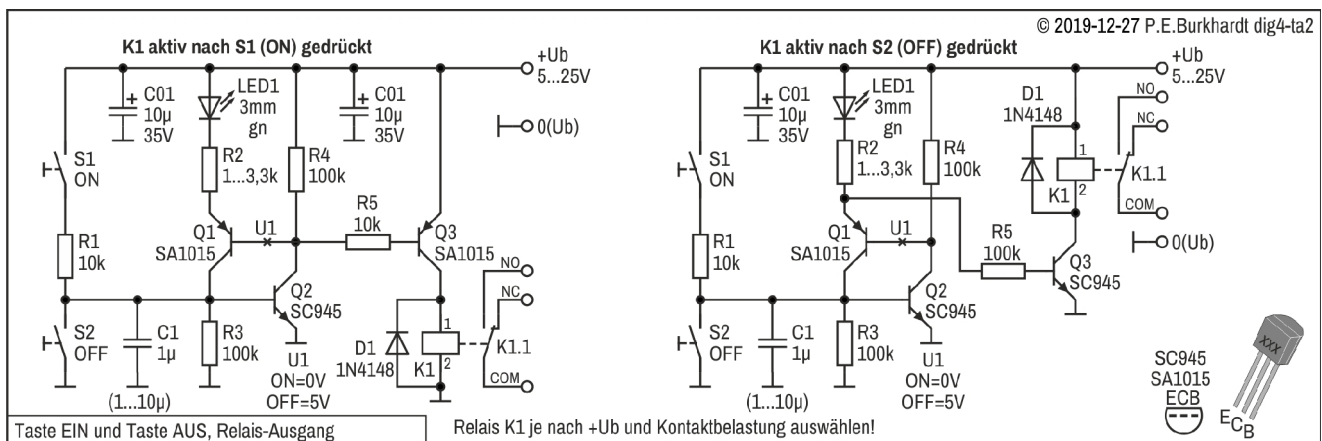
Der 60ns-Reset-Impuls garantiert das saubere Rücksetzen aller Teiler, Zähler, FFs usw. Bei Bedarf wird die Schaltung für einen verlängerten Reset-Impuls (wahlweise oder zusätzlich zum 60ns-Reset-Impuls) für langsamere ICs eingesetzt.

Tasten EIN und AUS, entprellt

Die folgenden Schaltungen verwenden zum Ein- und Ausschalten je eine getrennte Taste. Das ist z.B. beim Ein- und Ausschalten eines Motors sinnvoll. Die Taste EIN sollte mit der Taste AUS verriegelt sein, d.h. bei gleichzeitiger Betätigung beider Tasten dürfen keine unzulässigen (gefährlichen) Schaltzustände auftreten. Außerdem dürfen sich Prellimpulse (mehrmaliges Schließen oder Öffnen des Kontakts bei Tastenbetätigung) nicht negativ auf den gewollten Schaltvorgang auswirken. Das Entprellen ist leicht mit einem RC-Glied möglich. Die Zeitkonstante sollte zwischen 50 und 100 ms liegen, damit das Prellen sicher unterdrückt wird.

Taste EIN und Taste AUS, Relais-Ausgang

Die beiden folgenden Schaltungen unterscheiden sich nur in der Ansteuerung des ausgangseitigen Relais. Die linke Schaltung im Bild lässt das Relais anziehen, wenn die Taste ON gedrückt wurde. Die rechte Schaltung dagegen lässt das Relais anziehen, wenn die Taste OFF gedrückt wurde.



Schaltungsbeschreibung

Drücken der ON-Taste S1 lässt Transistor Q2 durchsteuern, damit steuert auch Q1 durch und LED1 leuchtet. Am Q2-Kollektor liegt nahezu GND-Potential, Q3 erhält über R5 Basisstrom und ist damit ebenfalls durchgesteuert. Das Relais K1 zieht an.

Drücken der OFF-Taste S2 lässt Transistor Q2 sperren, damit sperrt auch Q1 und LED1 leuchtet nicht. Am Q2-Kollektor liegt nahezu die Betriebsspannung +Ub (z.B. +5 V), Q3 sperrt ebenfalls. Das Relais K1 fällt ab.

R1 und C1 entprellen die Taster. K1 muss je nach Betriebsspannung ausgewählt werden. Der maximale Spulenstrom darf bei den angegebenen Transistoren bis zu 100 mA betragen.

In der Schaltung rechts im Bild ist das Relais K1 gegen +Ub geschaltet und wird so angesteuert, dass K1 nach Betätigung der OFF-Taste anzieht.

Die Auswahl der beiden Schaltungsvarianten erfolgt je nach gewünschtem Schaltverhalten.

SCR-Ersatzschaltung

Die Transistoren Q1 und Q2 bilden die Ersatzschaltung für einen Thyristor (SCR = Silicon Controlled Rectifier). Dabei ist der Q1-Emitter die SCR-Anode, der Q2-Emitter die SCR-Kathode und der Knoten Q1-Kollektor zur Q2-Basis das SCR-Gate. Die Steuerung der Anordnung erfolgt also wie beim normalen Thyristor auch über die Steuerelektrode, das SCR-Gate.

Tipp-Taste EIN/AUS (toggle), entprellt

Im Web sind viele Toggle-Switch-Schaltungen zu finden, die aber nicht alle so funktionieren, wie sie sollten. Entweder sind die Betriebsspannungsbereiche nicht angegeben bzw. nicht groß genug, oder die Schaltungen funktionieren nur in engen Grenzen der ausgewählten Bauelemente.

Im Folgenden sind von mir getestete Schaltungen aufgeführt, die mit den angegebenen Bauelementen sicher funktionieren. Sie sind entweder mit Transistoren bzw. Mosfets aufgebaut oder auch mit ganz unterschiedlichen ICs. Auf die zu schaltende Endstufe wurde weniger Wert gelegt. Sie muss sowieso je nach Einsatzfall und Bauelemente-Vorrat dimensioniert werden.

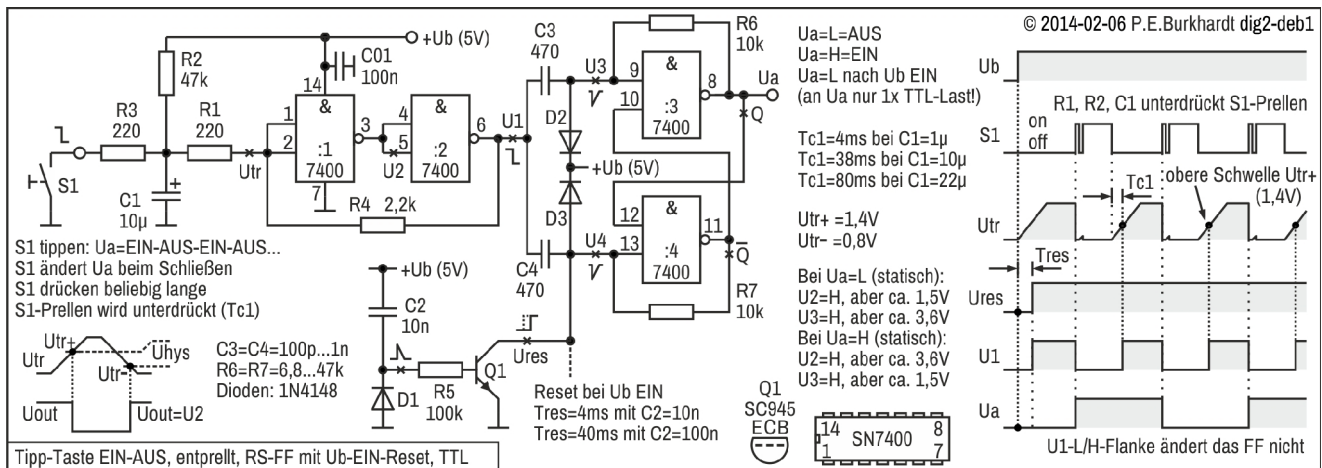
Die prellfreie Tasten-Eingabe erfordert einen gewissen Aufwand, vor allem wenn mit der gleichen Taste ein Logik-Pegel ein- und wieder ausgeschaltet werden soll (Toggle-Taste). Die folgenden Schaltungen sind mit verschiedenen Schaltkreisfamilien oder auch diskret realisiert, haben aber die gleichen Grundfunktionen.

Gemeinsame Eigenschaften der Schaltungen

- Taste als Schließer, meist gegen GND
- Taste entprellt über RC-Glied und Flip-Flop
- Trigger für steile Schaltflanken
- Flip-Flop für den Schaltzustand EIN oder AUS
- Auto-Reset bei Betriebsspannung Ub EIN

Taste mit TTL-Standard-Gattern

Die Schaltung benötigt 4 TTL-Standard-Gatter (4-fach-NAND 7400) und einen Transistor.



Eigenschaften

- Taste S1 drücken bewirkt sofortige Ua-Änderung
- Entprellen wird von R1, R2 und C1 bestimmt
- Eingangstrigger mit 2x Standard-TTL-Gatter
- Flankengesteuertes RS-FF mit 2x Standard-TTL-Gatter
- Auto-Reset über RC-Glied C2-R5 und Transistor Q1

Entprellen und Trigger-Umschaltung

In Ruhestellung (Taste S1 offen) ist C1 geladen, der Gattereingang erhält H (Utr), der Gatterausgang führt L (U2) und der Triggerausgang liegt ebenfalls auf H (U1).

Wird S1 gedrückt, entlädt sich C1 über Schutzwiderstand R3 und Utr sinkt schnell. Ist die untere Schwelle Utr- (0,8 V) erreicht, schaltet der Trigger und sein Ausgang wird L (U1). Dieser H/L-Sprung schaltet das FF (Gatter 3 und 4) um. Am Ausgang Ua wechselt der Logikpegel.

Wird S1 losgelassen, lädt sich C1 wieder relativ langsam über R4 (und R2) auf und Utr steigt. Ist die obere Schwelle Utr+ (1,4 V) erreicht, schaltet der Trigger wieder in seine Ausgangslage zurück. U1 wird H. Diese L/H-Flanke ändert aber den FF-Schaltzustand nicht.

Kurze Pegeländerungen am S1-Anschluss, verursacht durch das Prellen der Taste, können sich nicht auf den Trigger-Schaltzustand auswirken, solange der C1-Pegel noch nicht wieder den Wert der oberen Triggerschwelle Utr+ erreicht hat. Erst wenn der S1-Kontakt länger als die Zeit Tc1 (siehe Diagramm im Bild) offen ist, schaltet der Trigger wieder in seine Ausgangslage zurück (U1 = H).

Im Bild sind gemessene Tc1-Werte in Abhängigkeit von der C1-Größe angegeben. Prellt S1 stark, sollte C1 entsprechend groß sein. Normalerweise hat jeder Kontakt nach spätestens 100 ms seinen endgültigen Schaltzustand erreicht. C1 sollte aber nur so groß wie nötig sein, da C1 die mögliche Eingabegeschwindigkeit herabsetzt.

Da TTL-Grundgatter verwendet werden, sind bei der Dimensionierung (R1, R4, R6, R7) enge Grenzen gesetzt. R2 hilft, den Utr-H-Pegel sicher einzuhalten. Die Hysterese U_{hys} des Triggers wird durch die Gatter-Schaltsschwellen bestimmt.

Flip-Flop (Gatter 3 und 4)

Das Grundgatter-FF wird mit der differenzierten H/L-Flanke des Triggers umgeschaltet. Die kurzen L-Impulse an U3 und U4 schalten das FF in die jeweils entgegengesetzte Lage um. Maßgebend sind die unterschiedlichen statischen H-Pegel (siehe Bild), die sich je nach FF-Zustand wegen R6 und R7 mit U3 und U4 einstellen.

Die Dioden D2 und D3 begrenzen die beim Differenzieren entstehende Spannungsspitze, die oberhalb der Betriebsspannung +U_b liegen kann. Damit die FF-Symmetrie nicht gestört wird, sollte an U_a nur eine TTL-Last wirksam werden.

Auto-Reset (C2, R5, Q1)

Das FF nimmt normalerweise beim U_b-Zuschalten eine undefinierte Lage ein. Damit aber der Ausgang U_a nach dem Einschalten mit Sicherheit L führt, muss das FF bei U_b EIN zurückgesetzt werden. Beim Einschalten wird C2 schnell aufgeladen, Q1 steuert durch, am Q1-Kollektor liegt L. Nachdem +U_b statisch anliegt, entlädt sich C2 langsam über R5 und die Q1-Basis-Emitter-Strecke. Q1 bleibt solange durchgesteuert, bis die C2-Ladung nicht mehr ausreicht. Dann sperrt Q1 und sein Kollektor springt auf H. Seit dem U_b-Einschalten ist die Zeit T_{res} vergangen (siehe Bild). Das L-Potential in dieser Zeit setzt das FF in den Ausgangszustand (U_a = L).

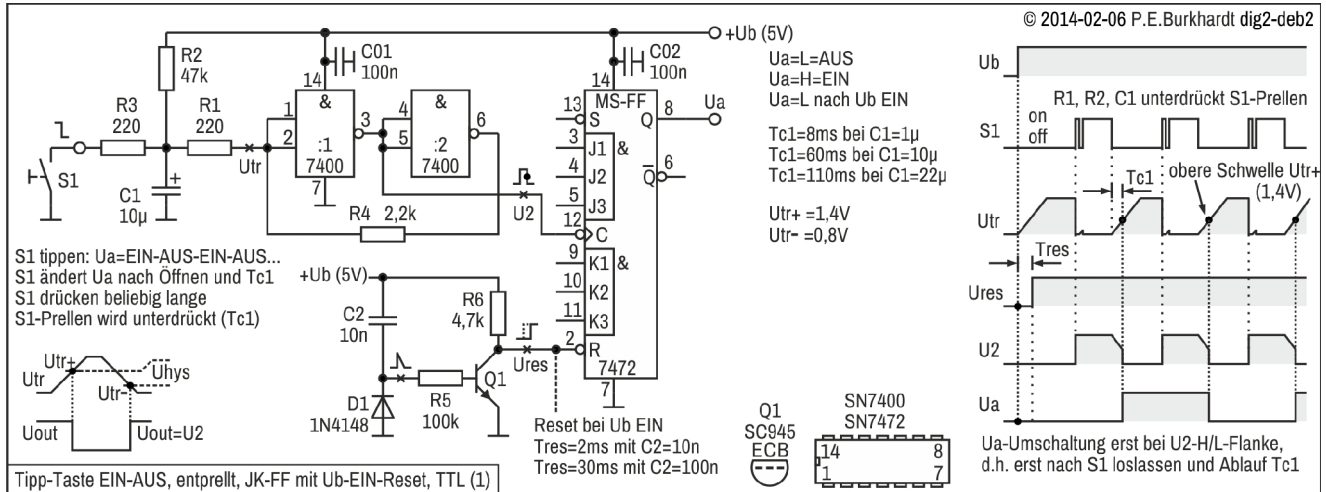
Wie lange U_{res} auf L bleiben muss, hängt von der U_b-Anstiegsgeschwindigkeit ab. Je länger +U_b braucht, um auf den 5V-Wert zu steigen (z.B. durch große Elkos in der Schaltung), desto länger muss die Rücksetzzeit T_{res} sein. Im Bild sind gemessene T_{res}-Werte in Abhängigkeit von der C2-Größe angegeben.

Diode D1 begrenzt die negative Spannungsspitze unterhalb GND, die beim U_b-Abschalten entsteht.

Taste mit TTL-Gatter und JK-FF

Bei dieser Schaltung ist dem Trigger mit TTL-Standard-Gattern ein JK-MS-FF (JK-Master-Slave-FF) nachgeschaltet. Je nach FF-Ansteuerung (U2 statisch oder differenziert) ergeben sich zwei Schaltungsvarianten.

Variante mit FF-Umschaltung bei U2-H/L-Flanke (Var. 1)



Eigenschaften der Variante 1

- Ua-Änderung erfolgt nicht beim S1-Drücken, sondern erst beim S1-Schließen
- Entprellen wird von R1, R2 und C1 bestimmt
- Eingangstrigger mit 2x Standard-TTL-Gatter
- JK-MS-FF mit 7472
- Auto-Reset über RC-Glied C2-R5 und Transistor Q1

Entprellen und Trigger-Umschaltung

In Ruhestellung (Taste S1 offen) ist C1 geladen, der Gattereingang erhält H (Utr), der Gatterausgang führt L (U2) und der Triggerausgang liegt ebenfalls auf H (U1).

Wird S1 gedrückt, entlädt sich C1 über Schutzwiderstand R3 und Utr sinkt schnell. Ist die untere Schwelle Utr- (0,8 V) erreicht, schaltet der Trigger und sein Ausgang wird L (U1). Dieser H/L-Sprung schaltet das FF (Gatter 3 und 4) um. Am Ausgang Ua wechselt der Logikpegel.

Wird S1 losgelassen, lädt sich C1 wieder relativ langsam über R4 (und R2) auf und Utr steigt. Ist die obere Schwelle Utr+ (1,4 V) erreicht, schaltet der Trigger wieder in seine Ausgangslage zurück. U1 wird H. Diese L/H-Flanke ändert aber den FF-Schaltzustand nicht.

Kurze Pegeländerungen am S1-Anschluss, verursacht durch das Prellen der Taste, können sich nicht auf den Trigger-Schaltzustand auswirken, solange der C1-Pegel noch nicht wieder den Wert der oberen Triggerschwelle Utr+ erreicht hat. Erst wenn der S1-Kontakt länger als die Zeit Tc1 (siehe Diagramm im Bild) offen ist, schaltet der Trigger wieder in seine Ausgangslage zurück (U1 = H).

Im Bild sind gemessene Tc1-Werte in Abhängigkeit von der C1-Größe angegeben. Prellt S1 stark, sollte C1 entsprechend groß sein. Normalerweise hat jeder Kontakt nach spätestens 100 ms seinen endgültigen Schaltzustand erreicht. C1 sollte aber nur so groß wie nötig sein, da C1 die mögliche Eingabegeschwindigkeit herabsetzt.

Da TTL-Grundgatter verwendet werden, sind bei der Dimensionierung (R1, R4, R6, R7) enge Grenzen gesetzt. R2 hilft, den Utr-H-Pegel sicher einzuhalten. Die Hysterese U_hys des Triggers wird durch die Gatter-Schaltsschwellen bestimmt.

JK-MS-FF mit 7472

Das MS-FF 7472 schaltet erst mit der U2-H/L-Flanke um. Das bedeutet, beim Drücken der Taste S1 (also beim S1-Schließen) passiert zunächst nichts. Erst wenn die Taste wieder losgelassen wird und S1 dauerhaft öffnet, wird das FF in den jeweils entgegengesetzten Zustand geschaltet. Dieses Verhalten kann u.U. nachteilig sein.

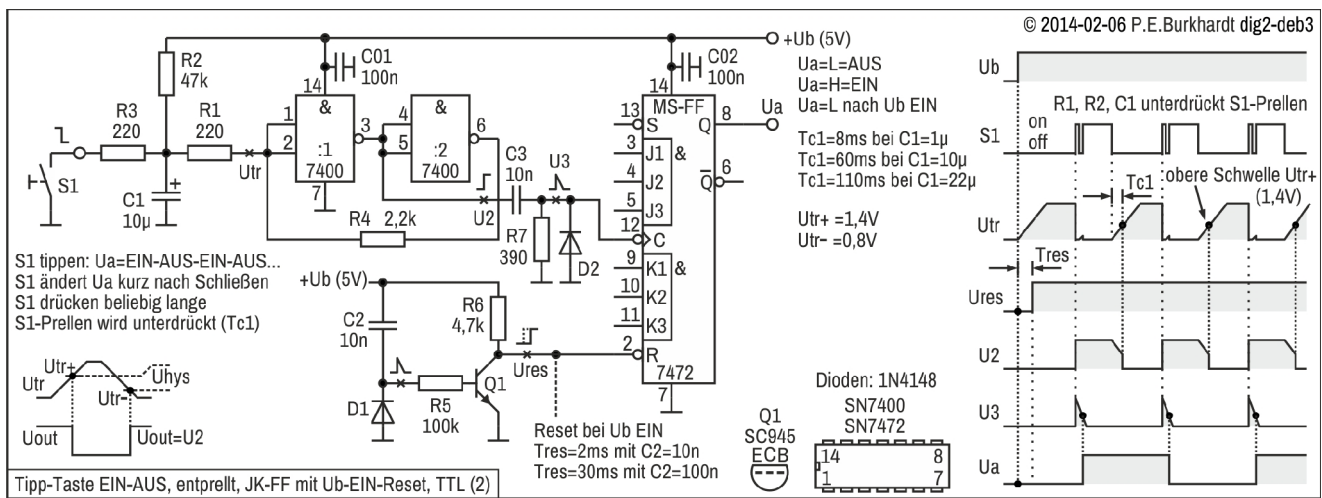
Auto-Reset (C2, R5, Q1)

Das MS-FF nimmt normalerweise beim Ub-Zuschalten eine undefinierte Lage ein. Damit aber der Ausgang Ua nach dem Einschalten mit Sicherheit L führt, muss das MS-FF bei Ub EIN zurückgesetzt werden. Beim Einschalten wird C2 schnell aufgeladen, Q1 steuert durch, am Q1-Kollektor liegt L. Nachdem +Ub statisch anliegt, entlädt sich C2 langsam über R5 und die Q1-Basis-Emitter-Strecke. Q1 bleibt solange durchgesteuert, bis die C2-Ladung nicht mehr ausreicht. Dann sperrt Q1 und sein Kollektor springt auf H. Seit dem Ub-Einschalten ist die Zeit Tres vergangen (siehe Bild). Das L-Potential in dieser Zeit setzt das FF in den Ausgangszustand (Ua = L).

Wie lange Ures auf L bleiben muss, hängt von der Ub-Anstiegsgeschwindigkeit ab. Je länger +Ub braucht, um auf den 5V-Wert zu steigen (z.B. durch große Elkos in der Schaltung), desto länger muss die Rücksetzzeit Tres sein. Im Bild sind gemessene Tres-Werte in Abhängigkeit von der C2-Größe angegeben.

Diode D1 begrenzt die negative Spannungsspitze unterhalb GND, die beim Ub-Abschalten entsteht.

Variante mit FF-Umschaltung bei U2-L/H-Flanke (Var. 2)



Eigenschaften der Variante 2

- Taste S1 drücken bewirkt sofortige Ua-Änderung
- Entprellen wird von R1, R2 und C1 bestimmt
- Eingangs-Trigger mit 2x Standard-TTL-Gatter
- JK-MS-FF mit 7472
- Auto-Reset über RC-Glied C2-R5 und Transistor Q1

Entprellen, Trigger und Auto-Reset

Entprellen der S1-Taste, die Triggerschaltung mit den Standard-Gattern und die Auto-Reset-Schaltung mit Q1 sind mit der vorigen Schaltung nach Variante 1 identisch (Beschreibung siehe dort).

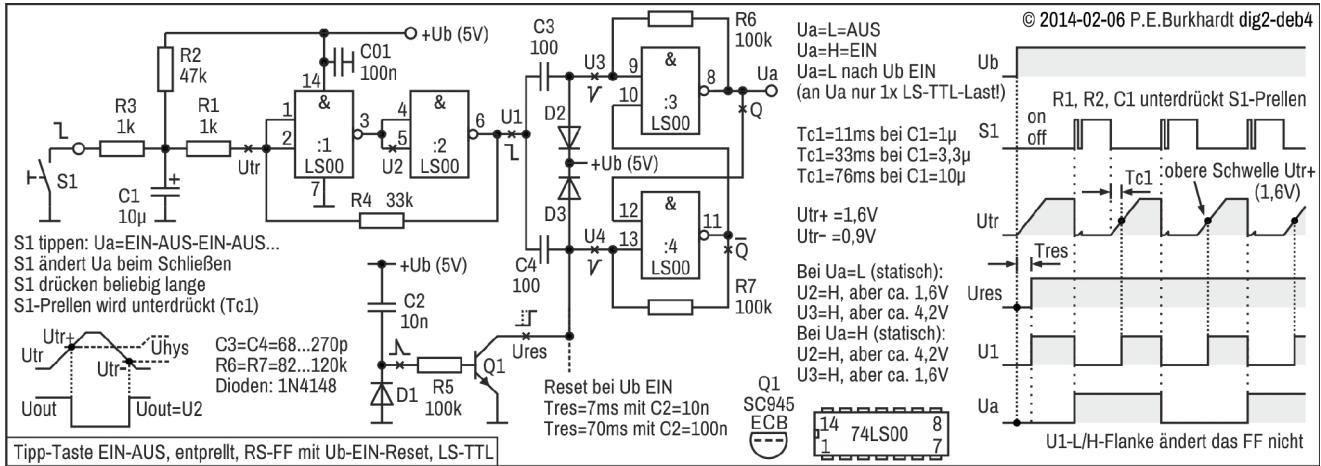
JK-MS-FF mit 7472

Damit das MS-FF 7472 schon beim S1-Drücken umschaltet, wird der Trigger-Ausgangsimpuls U2 differenziert (C3, R7). Mit U3 ergibt sich ein schmaler Nadelimpuls, der mit der fallenden Flanke das MS-FF umschaltet. Das bedeutet, beim Drücken der Taste S1 (also beim S1-Schließen) wird der Nadelimpuls erzeugt und gewissermaßen sofort das FF in den jeweils entgegengesetzten Zustand geschaltet.

Diode D2 begrenzt die negative Spannungsspitze unterhalb GND, die beim U2-Differenzieren entsteht.

Taste mit LS-TTL-Gattern

Die Schaltung benötigt 4 LS-TTL-Standard-Gatter (4-fach-NAND 74LS00) und einen Transistor. Bei LS-Gattern kann die Beschaltung hochohmiger erfolgen (gegenüber normalen TTL-ICs). Insgesamt fließt weniger Betriebsstrom.



Eigenschaften

- Taste S1 drücken bewirkt sofortige Ua-Änderung
- Entprellen wird von R1, R2 und C1 bestimmt
- Eingangstrigger mit 2x LS-TTL-Gatter
- Flankengesteuertes RS-FF mit 2x LS-TTL-Gatter
- Auto-Reset über RC-Glied C2-R5 und Transistor Q1

Entprellen und Trigger-Umschaltung

In Ruhestellung (Taste S1 offen) ist C1 geladen, der Gattereingang erhält H (Utr), der Gatterausgang führt L (U2) und der Triggerausgang liegt ebenfalls auf H (U1).

Wird S1 gedrückt, entlädt sich C1 über Schutzwiderstand R3 und Utr sinkt schnell. Ist die untere Schwelle Utr- (0,9 V) erreicht, schaltet der Trigger und sein Ausgang wird L (U1). Dieser H/L-Sprung schaltet das FF (Gatter 3 und 4) um. Am Ausgang Ua wechselt der Logikpegel.

Wird S1 losgelassen, lädt sich C1 wieder relativ langsam über R4 (und R2) auf und Utr steigt. Ist die obere Schwelle Utr+ (1,6 V) erreicht, schaltet der Trigger wieder in seine Ausgangslage zurück. U1 wird H. Diese L/H-Flanke ändert aber den FF-Schaltzustand nicht.

Kurze Pegeländerungen am S1-Anschluss, verursacht durch das Prellen der Taste, können sich nicht auf den Trigger-Schaltzustand auswirken, solange der C1-Pegel noch nicht wieder den Wert der oberen Triggerschwelle Utr+ erreicht hat. Erst wenn der S1-Kontakt länger als die Zeit T_{c1} (siehe Diagramm im Bild) offen ist, schaltet der Trigger wieder in seine Ausgangslage zurück (U1 = H).

Im Bild sind gemessene T_{c1} -Werte in Abhängigkeit von der C1-Größe angegeben. Prellt S1 stark, sollte C1 entsprechend groß sein. Normalerweise hat jeder Kontakt nach spätestens 100 ms seinen endgültigen Schaltzustand erreicht. C1 sollte aber nur so groß wie nötig sein, da C1 die mögliche Eingabegeschwindigkeit herabsetzt.

Da LS-TTL-Grundgatter verwendet werden, sind bei der Dimensionierung (R1, R4, R6, R7) enge Grenzen gesetzt. R2 hilft, den Utr-H-Pegel sicher einzuhalten. Die Hysterese U_{hys} des Triggers wird durch die Gatter-Schaltsschwellen bestimmt.

Flip-Flop (Gatter 3 und 4)

Das Grundgatter-FF wird mit der differenzierten H/L-Flanke des Triggers umgeschaltet. Die kurzen L-Impulse an U3 und U4 schalten das FF in die jeweils entgegengesetzte Lage um. Maßgebend sind die unterschiedlichen statischen H-Pegel (siehe Bild), die sich je nach FF-Zustand wegen R6 und R7 mit U3 und U4 einstellen.

Die Dioden D2 und D3 begrenzen die beim Differenzieren entstehende Spannungsspitze, die oberhalb der Betriebsspannung +Ub liegen kann. Damit die FF-Symmetrie nicht gestört wird, sollte an Ua nur eine LS-TTL-Last wirksam werden.

Auto-Reset (C2, R5, Q1)

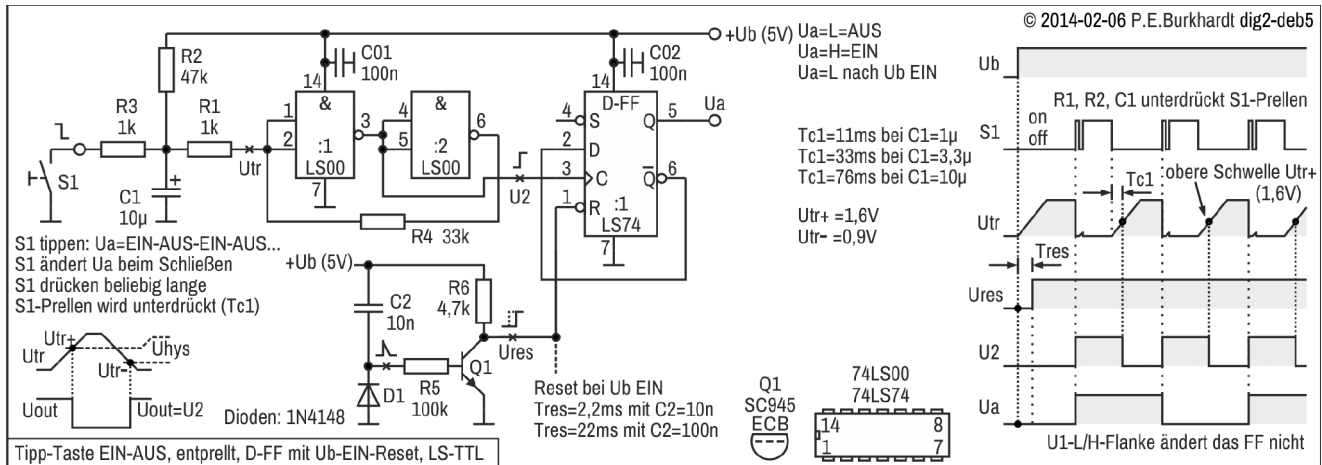
Das FF nimmt normalerweise beim Ub-Zuschalten eine undefinierte Lage ein. Damit aber der Ausgang Ua nach dem Einschalten mit Sicherheit L führt, muss das FF bei Ub EIN zurückgesetzt werden. Beim Einschalten wird C2 schnell aufgeladen, Q1 steuert durch, am Q1-Kollektor liegt L. Nachdem +Ub statisch anliegt, entlädt sich C2 langsam über R5 und die Q1-Basis-Emitter-Strecke. Q1 bleibt solange durchgesteuert, bis die C2-Ladung nicht mehr ausreicht. Dann sperrt Q1 und sein Kollektor springt auf H. Seit dem Ub-Einschalten ist die Zeit Tres vergangen (siehe Bild). Das L-Potential in dieser Zeit setzt das FF in den Ausgangszustand ($U_a = L$).

Wie lange Ures auf L bleiben muss, hängt von der Ub-Anstiegsgeschwindigkeit ab. Je länger +Ub braucht, um auf den 5V-Wert zu steigen (z.B. durch große Elkos in der Schaltung), desto länger muss die Rücksetzzeit Tres sein. Im Bild sind gemessene Tres-Werte in Abhängigkeit von der C2-Größe angegeben.

Diode D1 begrenzt die negative Spannungsspitze unterhalb GND, die beim Ub-Abschalten entsteht.

Taste mit LS-TTL-Gatter und D-FF

Die Schaltung benötigt 2 LS-TTL-Standard-Gatter, ein D-FF und einen Transistor. Das D-FF (74LS74) vereinfacht die Schaltung gegenüber einem RS-FF mit Standard-Gattern.



Eigenschaften

- Taste S1 drücken bewirkt sofortige Ua-Änderung
- Entprellen wird von R1, R2 und C1 bestimmt
- Eingangs-Trigger mit 2x LS-TTL-Gatter
- D-FF mit 74LS74
- Auto-Reset über RC-Glied C2-R5 und Transistor Q1

Entprellen und Trigger-Umschaltung

In Ruhelage (Taste S1 offen) ist C1 geladen, der Gattereingang erhält H (Utr), der Gatterausgang führt L (U2).

Wird S1 gedrückt, entlädt sich C1 über Schutzwiderstand R3 und Utr sinkt schnell. Ist die untere Schwelle Utr- (0,9 V) erreicht, schaltet der Trigger und U2 wird H. Dieser L/H-Sprung schaltet das D-FF um. Am Ausgang Ua wechselt der Logikpegel.

Wird S1 losgelassen, lädt sich C1 wieder relativ langsam über R4 (und R2) auf und Utr steigt. Ist die obere Schwelle Utr+ (1,6 V) erreicht, schaltet der Trigger wieder in seine Ausgangslage zurück. U2 wird L. Diese H/L-Flanke ändert aber den FF-Schaltzustand nicht.

Kurze Pegeländerungen am S1-Anschluss, verursacht durch das Prellen der Taste, können sich nicht auf den Trigger-Schaltzustand auswirken, solange der C1-Pegel noch nicht wieder den Wert der oberen Triggerschwelle Utr+ erreicht hat. Erst wenn der S1-Kontakt länger als die Zeit Tc1 (siehe Diagramm im Bild) offen ist, schaltet der Trigger wieder in seine Ausgangslage zurück (U2 = L).

Im Bild sind gemessene Tc1-Werte in Abhängigkeit von der C1-Größe angegeben. Prellt S1 stark, sollte C1 entsprechend groß sein. Normalerweise hat jeder Kontakt nach spätestens 100 ms seinen endgültigen Schaltzustand erreicht. C1 sollte aber nur so groß wie nötig sein, da C1 die mögliche Eingabegeschwindigkeit herabsetzt.

Die LS-Trigger-Schaltung ist gegenüber eines Triggers mit normalen TTL-Gattern hochohmiger ausgeführt. R2 hilft, den Utr-H-Pegel sicher einzuhalten. Die Hysterese U_{hys} des Triggers wird durch die Gatter-Schaltsschwellen bestimmt.

D-FF (74LS74)

Das D-FF arbeitet als Frequenzteiler und wird mit jeder U2-L/H-Flanke umgeschaltet.

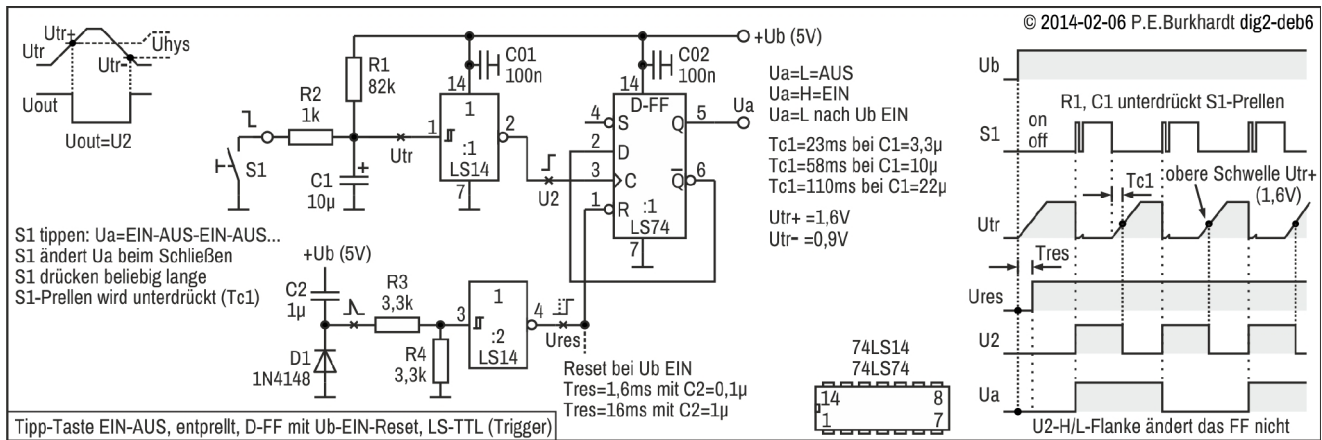
Auto-Reset (C2, R5, Q1)

Das FF nimmt normalerweise beim Ub-Zuschalten eine undefinierte Lage ein. Damit aber der Ausgang Ua nach dem Einschalten mit Sicherheit L führt, muss das FF bei Ub EIN zurückgesetzt werden. Beim Einschalten wird C2 schnell aufgeladen, Q1 steuert durch, am Q1-Kollektor liegt L. Nachdem +Ub statisch anliegt, entlädt sich C2 langsam über R5 und die Q1-Basis-Emitter-Strecke. Q1 bleibt solange durchgesteuert, bis die C2-Ladung nicht mehr ausreicht. Dann sperrt Q1 und sein Kollektor springt auf H. Seit dem Ub-Einschalten ist die Zeit Tres vergangen (siehe Bild). Das L-Potential in dieser Zeit setzt das FF in den Ausgangszustand (Ua = L).

Wie lange Ures auf L bleiben muss, hängt von der Ub-Anstiegsgeschwindigkeit ab. Je länger +Ub braucht, um auf den 5V-Wert zu steigen (z.B. durch große Elkos in der Schaltung), desto länger muss die Rücksetzzeit Tres sein. Im Bild sind gemessene Tres-Werte in Abhängigkeit von der C2-Größe angegeben. Diode D1 begrenzt die negative Spannungsspitze unterhalb GND, die beim Ub-Abschalten entsteht.

Taste mit LS-TTL-Trigger und D-FF

Die Schaltung benötigt zwei LS-TTL-Trigger-Gatter und ein D-FF. Der Einsatz der LS-TTL-Gatter mit Triggereingängen ist die beste Lösung, um schleichende Pegeländerungen (Utr) in systemgerechte Impulse umzuwandeln. Zusammen mit einem D-FF ergibt sich eine recht einfache Schaltung.



Eigenschaften

- Taste S1 drücken bewirkt sofortige U_a-Änderung
- Entprellen wird von R1 und C1 bestimmt
- Eingangs-Trigger mit 1x LS-TTL-Trigger-Gatter
- D-FF mit 74LS74
- Auto-Reset über RC-Glied C2-R3 und 1x LS-TTL-Trigger-Gatter

Entprellen und Trigger-Umschaltung

In Ruhelage (Taste S1 offen) ist C1 geladen, der Gattereingang erhält H (Utr), der Gatterausgang führt L (U₂).

Wird S1 gedrückt, entlädt sich C1 über Schutzwiderstand R2 und Utr sinkt schnell. Ist die untere Schwelle U_{tr-} (0,9 V) erreicht, schaltet das Trigger-Gatter und U₂ wird H. Dieser L/H-Sprung schaltet das D-FF um. Am Ausgang U_a wechselt der Logikpegel.

Wird S1 losgelassen, lädt sich C1 wieder relativ langsam über R1 auf und Utr steigt. Ist die obere Schwelle U_{tr+} (1,6 V) erreicht, schaltet das Trigger-Gatter wieder in seine Ausgangslage zurück. U₂ wird L. Diese H/L-Flanke ändert aber den FF-Schaltzustand nicht.

Kurze Pegeländerungen am S1-Anschluss, verursacht durch das Prellen der Taste, können sich nicht auf den Trigger-Schaltzustand auswirken, solange der C1-Pegel noch nicht wieder den Wert der oberen Triggerschwelle U_{tr+} erreicht hat. Erst wenn der S1-Kontakt länger als die Zeit T_{c1} (siehe Diagramm im Bild) offen ist, schaltet der Trigger wieder in seine Ausgangslage zurück (U₂ = L).

Im Bild sind gemessene T_{c1}-Werte in Abhängigkeit von der C1-Größe angegeben. Prellt S1 stark, sollte C1 entsprechend groß sein. Normalerweise hat jeder Kontakt nach spätestens 100 ms seinen endgültigen Schaltzustand erreicht. C1 sollte aber nur so groß wie nötig sein, da C1 die mögliche Eingabegeschwindigkeit herabsetzt.

Die Hysterese U_{hys} des Trigger-Gatters ist durch die Gatter-Schaltswellen festgelegt.

D-FF (74LS74)

Das D-FF arbeitet als Frequenzteiler und wird mit jeder U₂-L/H-Flanke umgeschaltet.

Auto-Reset (C2, R3, Trigger-Gatter 2)

Das FF nimmt normalerweise beim U_b-Zuschalten eine undefinierte Lage ein. Damit aber der Ausgang U_a nach dem Einschalten mit Sicherheit L führt, muss das FF bei U_b EIN zurückgesetzt werden. Beim Einschalten wird C2 schnell aufgeladen, der Gatter-Eingang erhält H, der Ausgang führt L. Nachdem +U_b statisch anliegt, entlädt sich C2 langsam über R3-R4. Das Trigger-Gatter (2) führt solange am Ausgang L, bis die C2-Ladung nicht mehr ausreicht, um ein H am Gatter-Eingang wirksam werden zu lassen. Dann schaltet das Trigger-Gatter um und sein Ausgang springt auf H. Seit dem U_b-Einschalten ist die Zeit T_{res} vergangen (siehe Bild). Das L-Potential in dieser Zeit setzt das FF in den Ausgangszustand (U_a = L).

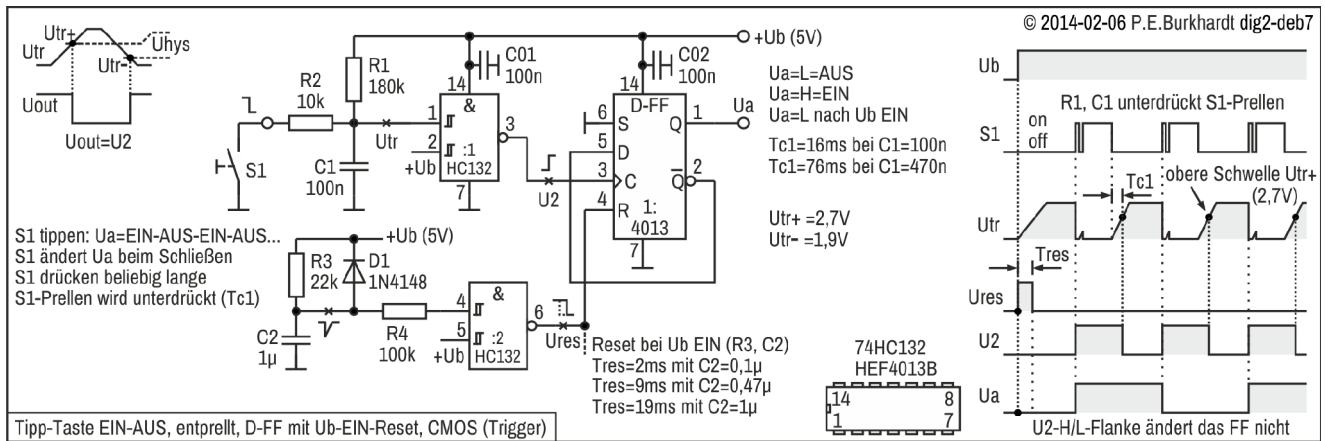
Wie lange U_{res} auf L bleiben muss, hängt von der U_b-Anstiegsgeschwindigkeit ab. Je länger +U_b braucht, um auf den 5V-Wert zu steigen (z.B. durch große Elkos in der Schaltung), desto länger muss die Rücksetzzeit T_{res} sein. Im Bild sind gemessene T_{res}-Werte in Abhängigkeit von der C2-Größe angegeben.

Diode D1 begrenzt die negative Spannungsspitze unterhalb GND, die beim U_b-Abschalten entsteht

Taste mit CMOS-Trigger und D-FF

Sehr leistungsarm ist die Tasten-Eingabe mit CMOS-ICs. Strom wird nur verbraucht, wenn Umschaltvorgänge stattfinden, d.h. wenn die Taste gedrückt wird. Im Ruhezustand fließt nahezu kein Betriebsstrom.

Die Schaltung benötigt zwei CMOS-Trigger-Gatter und ein CMOS-D-FF. Der Einsatz der CMOS-Gatter mit Triggereingängen ist vorteilhaft, um schleichende Pegeländerungen (U_{tr}) in systemgerechte Impulse umzuwandeln. Zusammen mit einem D-FF ergibt sich eine recht einfache Schaltung.



Eigenschaften

- Taste S1 drücken bewirkt sofortige U_a -Änderung
- Entprellen wird von R1 und C1 bestimmt
- Eingangs-Trigger mit 1x CMOS-Trigger-Gatter
- D-FF mit 4013
- Auto-Reset über RC-Glied C2-R3 und 1x CMOS-Trigger-Gatter

Entprellen und Trigger-Umschaltung

In Ruhestellung (Taste S1 offen) ist C1 geladen, der Gattereingang erhält H (U_{tr}), der Gatterausgang führt L (U_2).

Wird S1 gedrückt, entlädt sich C1 über Schutzwiderstand R2 und U_{tr} sinkt schnell. Ist die untere Schwelle U_{tr-} (1,9 V) erreicht, schaltet das Trigger-Gatter und U_2 wird H. Dieser L/H-Sprung schaltet das D-FF um. Am Ausgang U_a wechselt der Logikpegel.

Wird S1 losgelassen, lädt sich C1 wieder relativ langsam über R1 auf und U_{tr} steigt. Ist die obere Schwelle U_{tr+} (2,7 V) erreicht, schaltet das Trigger-Gatter wieder in seine Ausgangslage zurück. U_2 wird L. Diese H/L-Flanke ändert aber den FF-Schaltzustand nicht.

Kurze Pegeländerungen am S1-Anschluss, verursacht durch das Prellen der Taste, können sich nicht auf den Trigger-Schaltzustand auswirken, solange der C1-Pegel noch nicht wieder den Wert der oberen Triggerschwelle U_{tr+} erreicht hat. Erst wenn der S1-Kontakt länger als die Zeit T_{c1} (siehe Diagramm im Bild) offen ist, schaltet der Trigger wieder in seine Ausgangslage zurück ($U_2 = L$).

Im Bild sind gemessene T_{c1} -Werte in Abhängigkeit von der C1-Größe angegeben. Prellt S1 stark, sollte C1 entsprechend groß sein. Normalerweise hat jeder Kontakt nach spätestens 100 ms seinen endgültigen Schaltzustand erreicht. C1 sollte aber nur so groß wie nötig sein, da C1 die mögliche Eingabegeschwindigkeit herabsetzt.

Die Hysterese U_{hys} des Trigger-Gatters ist durch die Gatter-Schaltsschwellen festgelegt.

D-FF (4013)

Das D-FF arbeitet als Frequenzteiler und wird mit jeder U_2 -L/H-Flanke umgeschaltet.

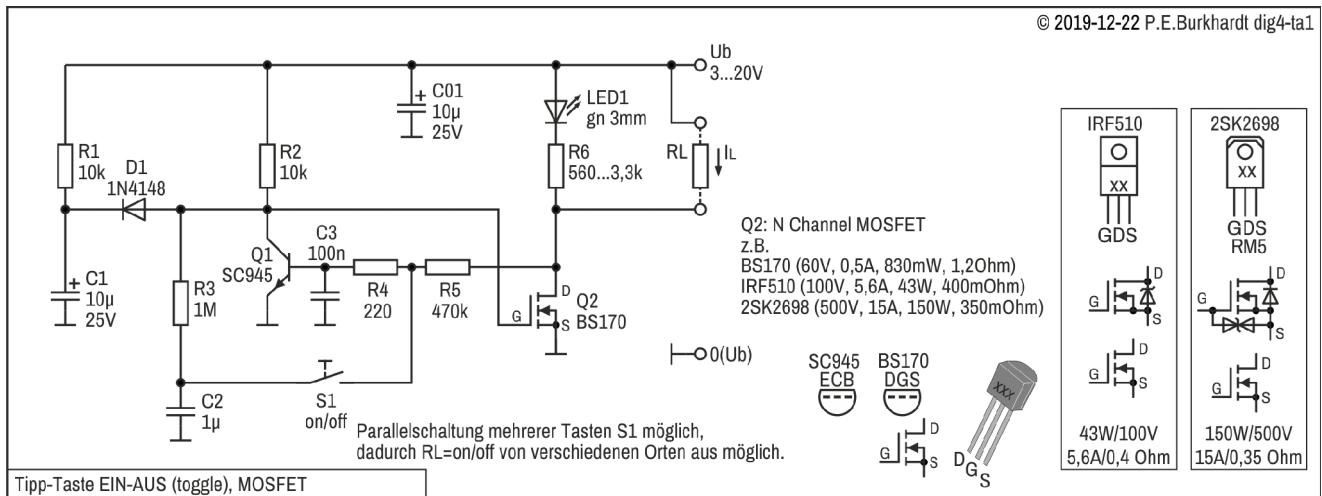
Auto-Reset (C2, R3, Trigger-Gatter 2)

Das FF nimmt normalerweise beim Ub-Zuschalten eine undefinierte Lage ein. Damit aber der Ausgang Ua nach dem Einschalten mit Sicherheit L führt, muss das FF bei Ub EIN zurückgesetzt werden. Beim Einschalten wird C2 langsam über R3 aufgeladen, der Gatter-Eingang bleibt noch einige Zeit auf L, der Ausgang führt H. Nachdem +Ub statisch anliegt, lädt sich C2 bis auf +Ub auf. Das Trigger-Gatter (2) führt solange am Ausgang H, wie am Gatter-Eingang ein L wirksam ist. Erst wenn die Spannung über C2 die obere Gatter-Umschaltswelle erreicht, schaltet das Trigger-Gatter um und sein Ausgang springt auf L. Seit dem Ub-Einschalten ist die Zeit Tres vergangen (siehe Bild). Das H-Potential in dieser Zeit setzt das FF in den Ausgangszustand ($U_a = L$).

Wie lange Ures auf H bleiben muss, hängt von der Ub-Anstiegsgeschwindigkeit ab. Je länger +Ub braucht, um auf den 5V-Wert zu steigen (z.B. durch große Elkos in der Schaltung), desto länger muss die Rücksetzzeit Tres sein. Im Bild sind gemessene Tres-Werte in Abhängigkeit von der C2-Größe angegeben. Diode D1 begrenzt die positive Spannungsspitze oberhalb +Ub, die beim Ub-Abschalten entsteht.

Taste mit MOSFET-Schaltstufe

Die Schaltung mit diskreten Transistoren geht auf John Lundgren zurück, dessen Originalschaltung bei meinem Probeaufbau nicht zuverlässig funktionierte. Die geänderte Variante (siehe Bild) arbeitet im angegebenen Betriebsspannungsbereich zuverlässig und ist relativ störicher.



Schaltungsbeschreibung

Last AUS beim und nach Ub-Einschalten

Beim Ub-Einschalten zieht Diode D1 den Q1-Kollektor kurz auf GND-Potential, da im ersten Moment C1 noch nicht aufgeladen ist. Dadurch ist das Gate-Potential von Mosfet Q2 ebenfalls nahe GND, demzufolge ist Q2 gesperrt. Das bedeutet, LED1 leuchtet nicht und es fließt kein Laststrom durch Lastwiderstand RL (symbolisch). Mit gesperrtem Q2 bekommt Transistor Q1 über LED1-R6 (und/oder RL), R5 und R4 Basisstrom, Q1 steuert durch. Damit legt Q1 das Q2-Gate auf GND. Die Schaltung befindet sich im stabilen AUS-Zustand (Q1 on, Q2 off). Das bleibt auch so, wenn sich nun C1 auflädt, da D1 sperrt und die Startschaltung R1-C1 vom Rest der Schaltung abtrennt.

EIN mit Taste S1

Mit durchgeschaltetem Q1 im AUS-Zustand der Schaltung konnte sich Kondensator C2 über R3 nicht aufladen. C2 hat also nahezu GND-Potential. Wird nun Taste S1 gedrückt, wird Q1 gesperrt, da der Knoten R4-R5 wegen des nicht aufgeladenen C2 gewissermaßen auf GND gelegt wird. Mit gesperrtem Q1 steigt aber das Q2-Gate-Potential auf nahezu Ub. Das bedeutet, Mosfet Q2 steuert durch und legt das untere Ende der Last RL auf GND. Jetzt leuchtet LED1 und ein Laststrom entsprechend RL kann fließen. Inzwischen hat sich auch C2 über R2+R3 aufgeladen. Die Schaltung befindet sich jetzt im stabilen EIN-Zustand (Q1 off, Q2 on).

AUS mit Taste S1

Erneutes Drücken von S1 bewirkt, dass die Q1-Basis über R4 Strom vom aufgeladenen C2 erhält, Q1 steuert durch. Das wiederum senkt das Q2-Gate-Potential auf nahezu GND, in der Folge sperrt Mosfet Q2. Durch LED1 und auch die Last RL fließt kein Strom mehr, LED1 leuchtet nicht. Da aber das Q1-Drain-Potential wegen dem gesperrten Mosfet Q2 jetzt auf nahezu Ub liegt, kann über R5+R4 Q1-Basisstrom fließen. Somit bleibt Q1 durchgeschaltet, auch wenn die Taste S1 wieder losgelassen wird und damit kein Basisstrom mehr vom Knoten R3-C2 kommen kann. Die Schaltung befindet sich jetzt wieder im stabilen AUS-Zustand (Q1 on, Q2 off).

Toggeln mit Taste S1

Beim nächsten S1-Tastendruck geht die Schaltung wieder in den EIN-Zustand und wechselt dann zwischen EIN und AUS mit jedem Betätigen von S1.

Störfestigkeit

Da C2 zuverlässig S1-Prellen unterdrückt, kann für S1 ein normaler mechanischer Taster eingesetzt werden. Dabei ist es auch möglich, mehrere Taster parallel zu schalten, aber an unterschiedlichen Orten zu installieren. So kann man die Last an einem Ort einschalten und an einem anderen Ort ausschalten oder umgekehrt. Kondensator C3 verringert den Einfluss von Störimpulsen. Wie störfest die Schaltung bei weit voneinander montierten Tastern mit entsprechend langen Leitungen ist, wurde nicht getestet. Um die Störsicherheit zu erhöhen kann man C3 und R4 etwas erhöhen, um die Zeitkonstante C3-R4 zu vergrößern. Allerdings wird dadurch auch die Umschaltzeit des Mosfets Q2 vergrößert und Q2 produziert bei hoher Umschaltfrequenz entsprechend viel Wärme.

Schaltstufe Mosfet Q2

Je nach zu schaltender Last RL muss der passende Mosfet gewählt werden. Der Schaltungstest erfolgte mit dem BS170. Die niedrigst mögliche Betriebsspannung U_b hängt von der nötigen Q2-Gate-Spannung ab, bei der Q2 richtig durchgesteuert ist und so die wenigste Verlustleistung produziert. Normalerweise schalten Mosfets mit höherer Leistung schon ab 3 V gut durch, der geringste Q2-ON-Widerstand ergibt sich aber erst im Bereich von 6 bis 8 V Gatespannung.

Fazit

Die Schaltung schaltet zuverlässig bei jedem Tastendruck S1 die Last RL an und aus. Vorteil des Mosfet als Schalter ist, dass auch für hochstromige Lasten (z.B. 20 A) keine andere Mosfet-Ansteuerung erforderlich ist. Deshalb kann mit Auswahl eines belastungsfähigen Mosfet die Schaltung leicht an den zu schaltenden Strom angepasst werden.

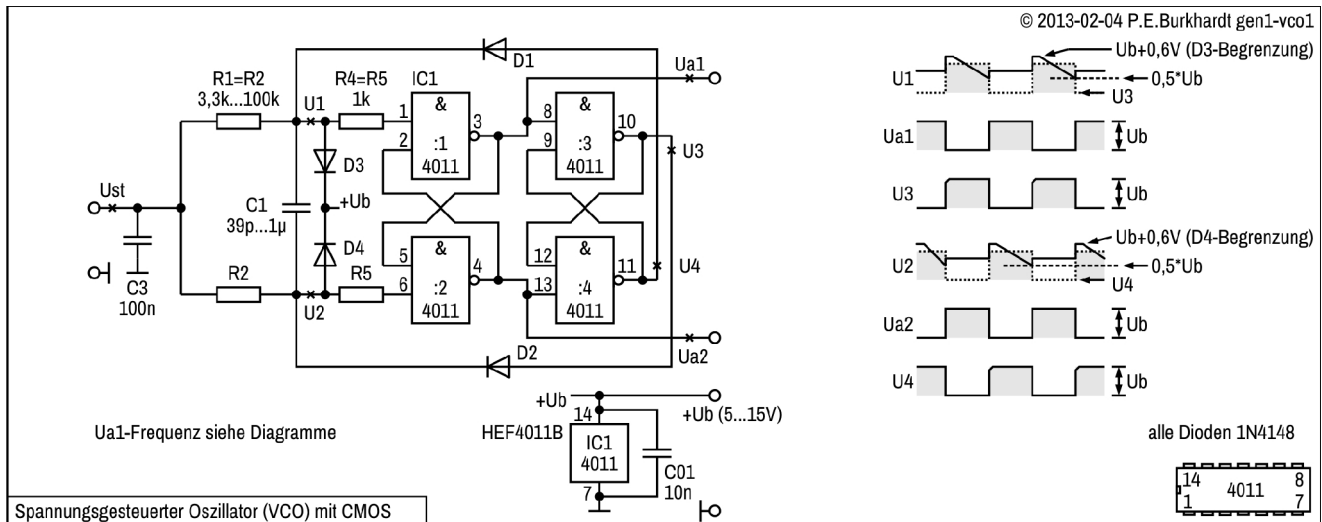
Digitale Generatoren

Oszillator mit CMOS-Gatter 4011

Spannungsgesteuerter Oszillator (VCO)

Eigenschaften:

- Leistungsarm durch CMOS-IC 4011
- Hohe Linearität und temperaturstabil
- Betriebsspannungsbereich (U_b) +5 V bis +15 V
- Steuerspannungsbereich $-U_b$ bis $+(0,5 * U_b)$
- Frequenzbereich 1 Hz bis 3 MHz



Schaltungsteile

Der 4011 arbeitet als spannungsgesteuerter Oszillator. Frequenzbestimmend ist die Zeitkonstante der Widerstände R1 und R2 mit dem Kondensator C1. R4-D3 und R5-D4 schützen die CMOS-Eingänge Pin 1 und Pin 6 vor zu hoher positiver Spannung. Die Dioden D1 und D2 bilden die nötige positive Rückführung, damit der Generator schwingt. Die erzeugte Rechteck-Impulsfolge (1:1) steht an Ua1 bzw. negiert an Ua2 zur Verfügung.

Steuerspannung Ust

Der Ausgangswiderstand der Ust-Quelle sollte gegenüber R1-R2 niederohmig sein. Ust kann negativ, null oder positiv sein. Der Minimalwert ($-U_{st}$) wurde auf den U_b -Betrag festgelegt. Ist z.B. $U_b = +10 V$, so ist Ust minimal $-10 V$ gegenüber GND. Null ergibt sich bei $U_{st} = 0 = GND$ -Potential, d.h. wird der Ust-Eingang mit GND verbunden, schwingt der Generator entsprechend $U_{st} = 0 V$. Ist Ust überhaupt nicht angeschlossen (Ust-Eingang frei), schwingt der Generator nicht. Der mögliche Ust-Maximalwert wird von der CMOS-Umschaltsschwelle bestimmt. Diese liegt bei $0,5 * U_b$. Ist Ust größer als diese Schwelle, schwingt der Generator nicht. Ist z.B. $U_b = +10 V$, so ist Ust maximal $+5 V$.

Der von U_b abhängige mögliche Ust-Bereich legt unmittelbar den maximal abstimmbaren Frequenzbereich fest. Dabei gilt, je kleiner U_b ist, desto größer ist die Frequenzänderung pro Volt Ust.

Wirkungsweise

Kondensator C1 wird über R1 bzw. R2 wechselseitig auf- und entladen. Ist $R1 = R2$ sind die Ladezyklen gleich, da die CMOS-Umschaltsschwelle bei der halben U_b liegt. Am Ua1 bzw. Ua2-Ausgang ergibt sich eine Rechteckschwingung mit dem Tastgrad 0,5 (Einschaltdauer 50 %). U3 bzw. U4 ist als Ausgang weniger geeignet, da die Impulse etwas von der Idealform abweichen.

Schutzschaltung

Jeder CMOS-Eingang ist intern mit Widerstand und Diode gegen Eingangsspannungen oberhalb bzw. unterhalb der Betriebsspannungsgrenzen geschützt. Dieser Schutz darf aber nicht schaltungstechnisch genutzt werden. Der im Fehlerfall fließende Strom darf nicht zu hoch werden, damit der IC keinen Schaden nimmt. Der absolute Höchstwert beträgt 10 mA.

In der Schaltung entstehen beim Umschalten an den Punkten U1 und U2 Spannungsspitzen, die über die Betriebsspannung $+U_b$ hinausgehen. Besonders bei großem C1 sind diese Spitzen energiereich. D3 bzw. D4 begrenzt die Spannungsüberhöhung auf maximal $U_b + U_{FD3(4)}$, R4 und R5 begrenzen mögliche Ströme. Durch den hohen CMOS-Eingangswiderstand wirken sich R4 und R5 nicht negativ auf die Funktionsweise aus.

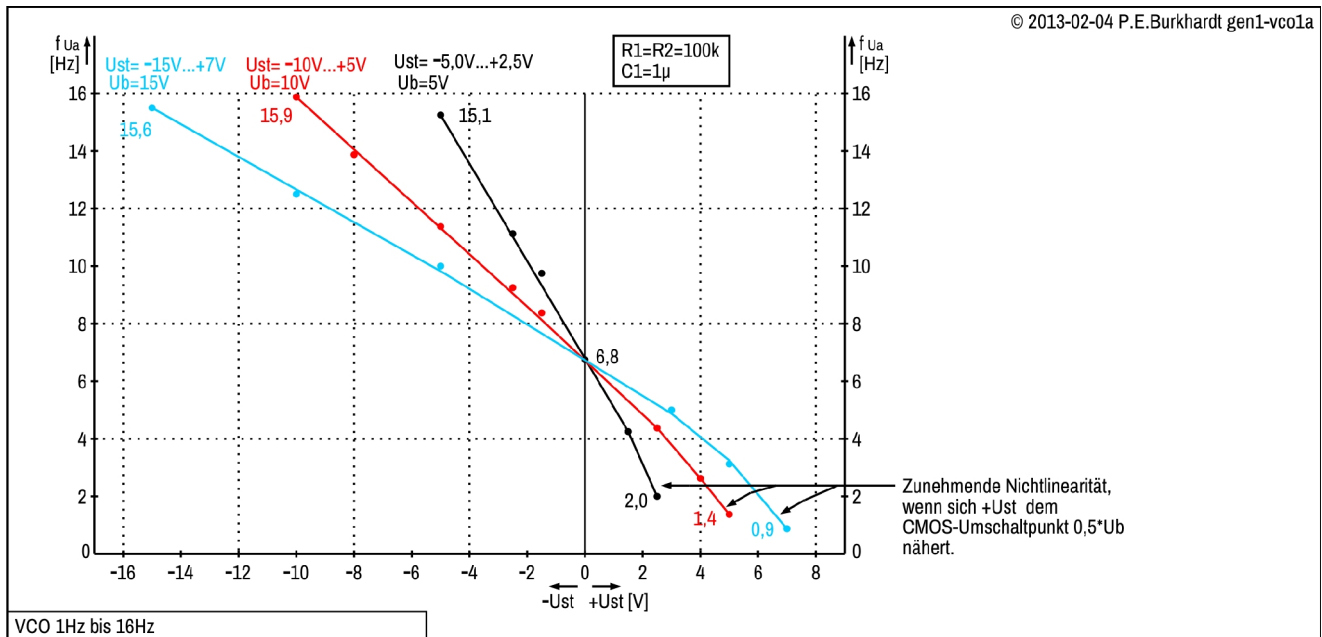
Frequenzbereich und Betriebsspannung

Die untere Frequenzgrenze ist fast beliebig wählbar. Getestet wurde die Schaltung ab 1 Hz. Die obere Frequenzgrenze ergibt sich durch den zunehmenden negativen Einfluss der IC-internen Zeitkonstanten bei kleiner äußerer Zeitkonstante ($R1 * C1$ bzw. $R2 * C2$). Sinnvoll erscheint eine maximale Frequenz von ca. 3 MHz. Dabei sollte aber U_b nicht unter 10 V sein, ansonsten ist die Ust-Frequenz-Umsetzung zu stark nichtlinear.

Dimensionierung und Diagramme

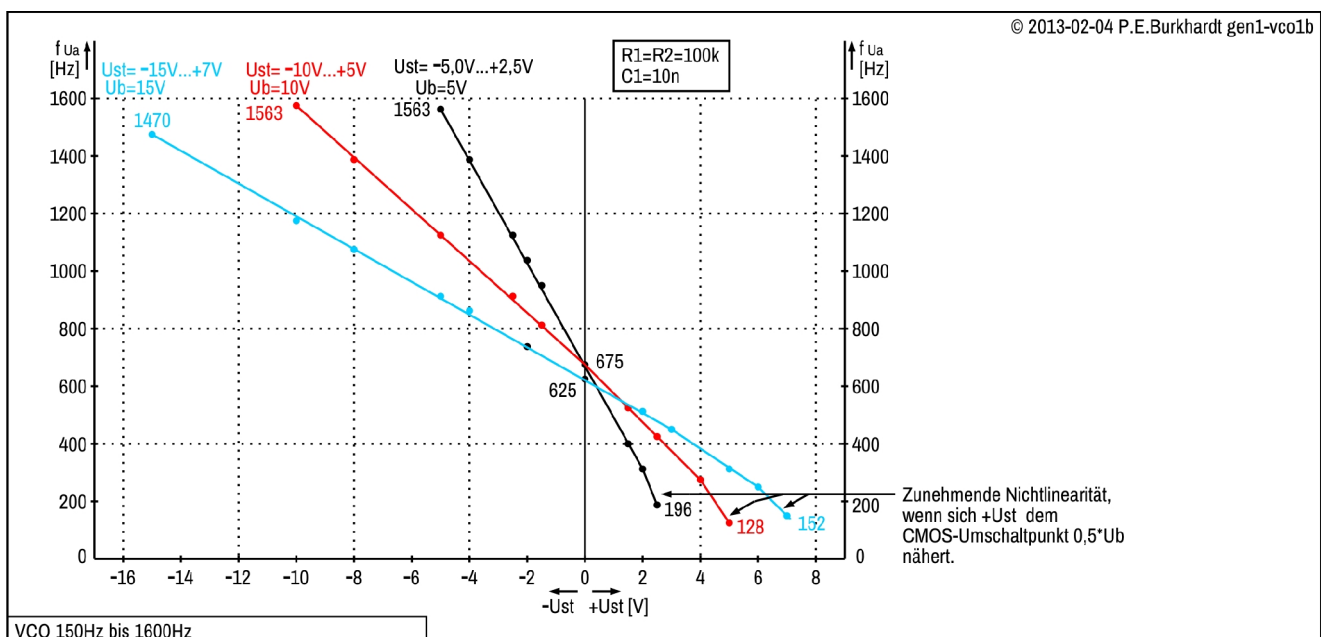
Die folgenden Diagramme können Ausgangspunkt für die Dimensionierung der konkreten Anwendung sein. Nicht auf der Wandlerkennlinie liegende Punkte sind Messfehler, die Kennlinien verlaufen linear bis in die Nähe des CMOS-Umschaltpunktes.

VCO 1 Hz bis 16 Hz



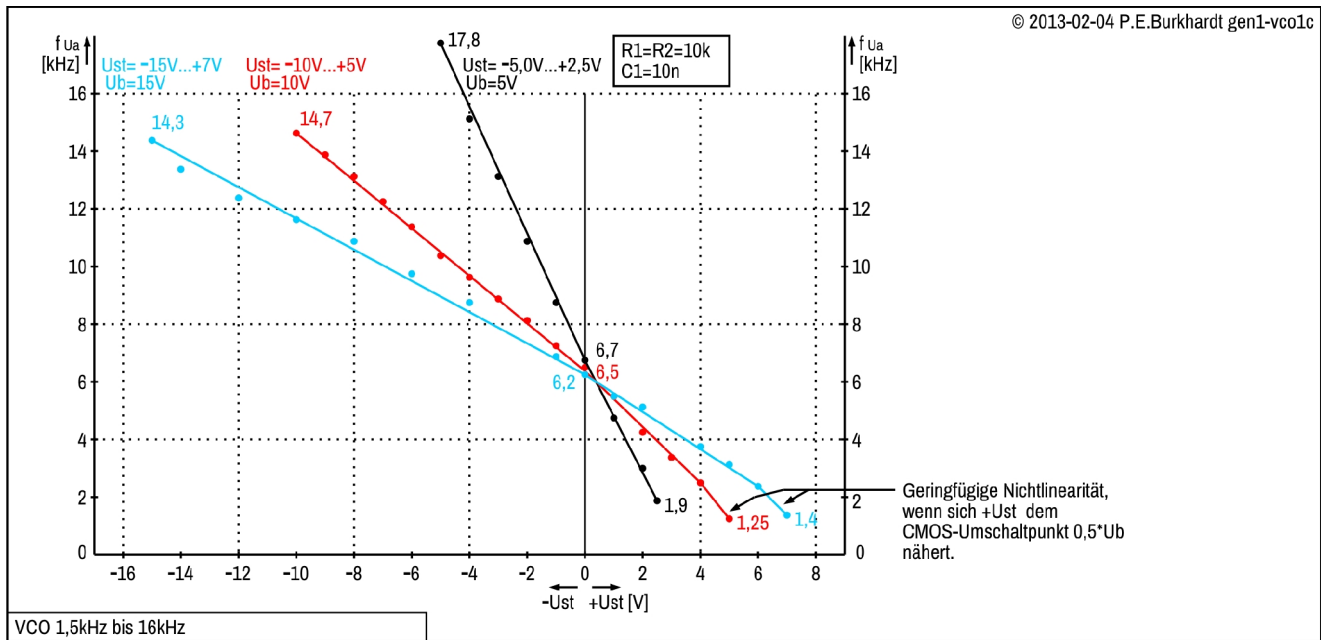
Der Oszillator ist in einem weiten Frequenzbereich einsetzbar. Auch Frequenzen weit unterhalb 1 Hz sind möglich. Die schleichende Umschaltung durch das langsame $C1$ -Auf- und Entladen hatte keine negativen Auswirkungen auf die Flankensteilheit der U_{a1} -Impulse. Allerdings wurde die Umsetzer-Kennlinie im positiven Ust-Bereich an der Schwellspannungsgrenze etwas nichtlinear (siehe obiges Diagramm).

VCO 150 Hz bis 1600 Hz



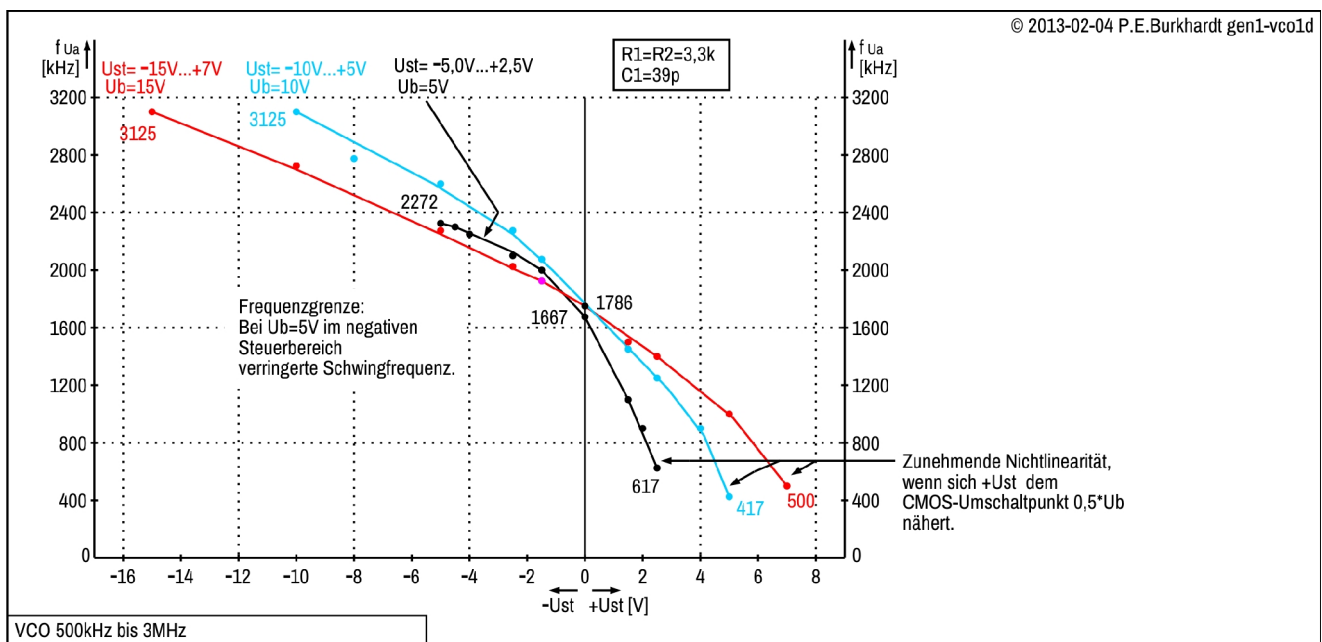
In diesem Bereich waren bei Null Volt in Abhängigkeit von U_b geringfügig unterschiedliche Frequenzen messbar. Normal müssten sich die 3 Kennlinien bei Null Volt in einem Punkt schneiden (Messfehler?).

VCO 1,5 kHz bis 16 kHz



Dieser mittlere Frequenzbereich ist für NF-Anwendungen interessant.

VCO 500 kHz bis 3 MHz



Dieses Diagramm zeigt, dass die obere Frequenzgrenze mit ca. 3 MHz erreicht ist. Bei $U_b = 5 V$ ist die Umsetzung stark nichtlinear und praktisch kaum zu gebrauchen. Selbst im 10V- und auch im 15V-Bereich sind die Kennlinien "krumm", haben aber im Gesamt-Diagramm die richtige Lage. Mit schnelleren ICs lassen sich wahrscheinlich bessere Ergebnisse erzielen.

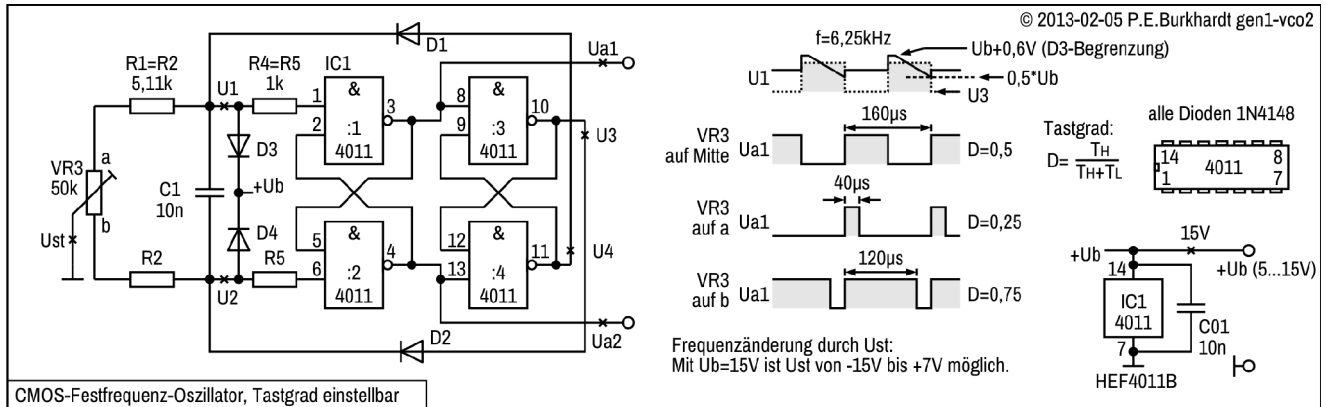
Fazit

Der 4011-VCO ist einfach, stabil und sicher in der Anwendung. Durch die hohe Linearität der U-f-Wandlung, insbesondere um den Ust-Nullpunkt, kann die Schaltung als Modulator dienen. Eine Ust-Wechselspannung verändert die Oszillatorfrequenz in den mit U_b , R_1 , R_2 und C_1 festgelegten Grenzen.

Festfrequenz-Oszillator, Tastgrad einstellbar

Eigenschaften:

- Festfrequenz 6,25 kHz
- Tastgrad einstellbar
- Betriebsspannungsbereich (U_b) +5 V bis +15 V
- Steuerspannung U_{st} = Null (auf GND)
- Zusätzlich als VCO verwendbar



Schaltung

Die Grundsaltung entspricht dem 4011-VCO. Allerdings liegt im C1-Lade- und Entladezweig der Einstellwiderstand VR3. Die Steuerspannung ist Null. Damit ergibt sich eine feste Frequenz, deren Tastgrad in gewissen Grenzen mit VR3 einstellbar ist.

Der Tastgrad-Einstellbereich muss begrenzt werden, wenn die Frequenz bei Tastgrad-Änderung stabil bleiben soll. Ist eine gewisse Frequenzänderung an den Bereichsgrenzen tolerierbar, kann der Tastgradbereich vergrößert werden (R1 und R2 verringern).

Frequenz

Die Schaltung ist für 6,25 kHz ausgelegt, andere Frequenzen sind mit Änderung von R1, R2, VR3 und C1 möglich. Zusätzlich kann der Oszillator als VCO arbeiten. Der VR3-Schleifer liegt dann nicht auf GND, sondern an einer Steuerspannung, die die Frequenz ändert (siehe auch VCO-Diagramme im vorigen Abschnitt).

Fazit

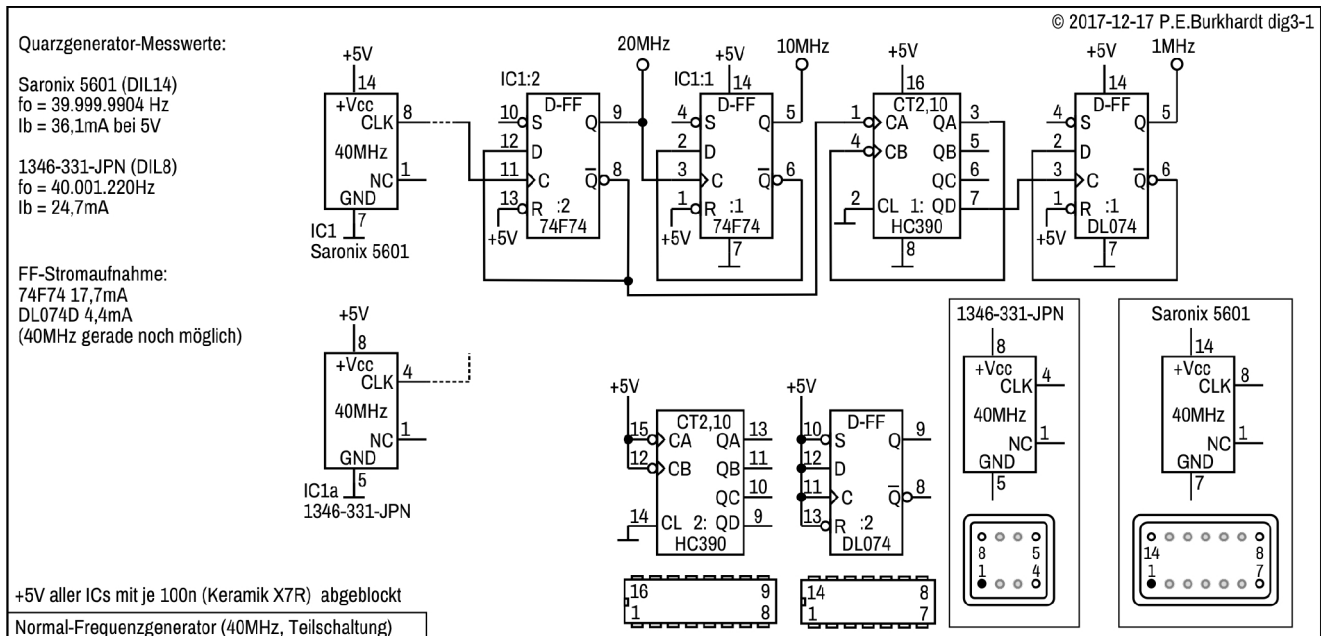
Mit dem als VCO arbeitenden CMOS-Festfrequenz-Oszillator kann neben dem Tastgrad auch die Frequenz bequem abgeglichen werden, oder der Oszillator arbeitet als VCO mit einstellbarem Tastgrad.

Quarz-Generatoren

Normalfrequenz-Generatoren

Quarzgenerator 40 MHz

Um zu testen, wie gut die Frequenz einiger meiner Quarzoszillatoren aus der Bastelkiste mit dem aufgedruckten Wert übereinstimmt, habe ich die folgende Schaltung aufgebaut und mit meinem 8-stelligen Zähler FZ1310 überprüft. Im Ergebnis dessen ist zu entscheiden, ob die Quarzgenauigkeit für ein Frequenznormal reicht, oder ob ich die interne Referenzfrequenz des FZ1310 herausführen muss.



Schaltungsbeschreibung

Die Schaltung wurde testweise auf einem Breadboard realisiert. Sie bietet nichts Besonderes. Die Teiler (D-FFs) und der Zähler wurden eingesetzt, um mit niedrigeren Frequenzen hantieren zu können. Für das Frequenznormal sind sowieso alle glatten dezimalen Werte von 10 MHz bis 1 Hz geplant.

Versuchsweise kam das DDR-FF DL074D zum Einsatz. Es nimmt zwar wesentlich weniger Strom auf im Vergleich zum 74F74, ist aber nicht so schnell. Die 20MHz-Impulse wiesen ziemlich starke Verundungen auf. Alle anderen ICs funktionierten wie gewünscht.

Messergebnisse

Die genauen Messwerte enthält das Bild. Nur 96 Hz absolute Abweichung vom Sollwert brachte der 40MHz-Saronix-Oszillator, der andere dagegen 1220 Hz. Natürlich spielt die Genauigkeit des FZ1310-Frequenznormals eine entscheidende Rolle, wie vertrauensvoll die Messwerte sind.

Der interne TXCO (Quarzofen) des FZ1310 garantiert It. Datenblatt des Zählers eine 10MHz-Abweichung von +/-1 ppm (parts per million = 1 Millionstel). Das sind 0,0001 % Abweichung. Bezogen auf 10 MHz ergeben sich +/-10 Hz. Werden nun 40 MHz gemessen, kann das angezeigte Messergebnis +/-40 Hz vom wirklichen 40MHz-Wert abweichen. Die 8-stellige digitale Anzeige des Zählers täuscht also eine Genauigkeit vor, die in Wirklichkeit garnicht vorhanden ist.

Eine noch genauere Messung ist nur mit Referenzfrequenzen möglich, die entweder vom Rubidium-Frequenznormal kommen (Genauigkeit etwa $5 \cdot 10^{exp-11}$) oder gewissermaßen aus der Luft gewonnen werden. Dazu bieten sich z.B. das GPS-Signal, der 19kHz-Pilotton des UKW-Stereosignals, das analoge TV-Signal (15,625 kHz Zeilensynchonsignal) und der DCF77-Zeitsender (in Mainflingen bei Frankfurt am Main) an. Allerdings darf der Aufwand zur sicheren Auswertung dieser Signale nicht unterschätzt werden.

Quarzgenauigkeit

Für vergleichende Messungen und wenn kein Zwang besteht, z.B. ein HF-Signal möglichst genau bestimmen oder erzeugen zu müssen, reicht dem Bastler und Amateur-Elektroniker in der Regel die Genauigkeit, die ein durchschnittlich guter Quarz liefert. Der Frequenzfehler liegt typisch bei 30 bis 50 ppm (0,003 bis 0,005 %). Uhrenquarze sind etwas besser, die meist 32,768 kHz werden oft mit 20 ppm garantiert. Steht dann noch ein Vergleichszähler zur Verfügung, der 1 ppm Maximalabweichung garantiert, kann dieser Quarzfehler durch Abgleich (Ziehen der Quarzfrequenz) noch weiter reduziert werden.

Allerdings darf die Temperaturabhängigkeit des Quarzes nicht unterschätzt werden. Die typische Temperaturdrift liegt bei $-0,035$ ppm pro $^{\circ}\text{C}$ zum Quadrat. Das wäre wenig, wenn die quadratische Abhängigkeit nicht wäre. 10 Grad Abweichung von der Normaltemperatur, bei der ein Quarz abgeglichen wurde, bedeuten schon 3,5 ppm. Es ist also sinnvoll, den Quarz bzw. gleich die ganze Oszillatorschaltung bei konstanter Temperatur zu betreiben. Das gelingt in einem auf wenigstens 1 Grad stabilisierten Quarzofen. Dabei sollte der Quarz unbedingt in dem Temperaturbereich betrieben werden, in der er die geringste Abhängigkeit seiner Frequenz von der Temperatur hat. Man kann weniger als $\pm 0,1$ ppm Grundfehler und eine Temperaturdrift von weniger als $\pm 0,01$ ppm erreichen.

Vorgenannte Quarzofenwerte sind aber nur bei sehr sorgfältigem Aufbau, sehr guter Temperaturstabilisierung, guter Stabilisierung der Oszillator-Betriebsspannung und vorgealterten Qualitätsquarzen zu erreichen. Nicht umsonst baut z.B. HP seine Quarzöfen mit 2 Kammern auf, wobei die äußere Kammer der Temperatur-Vorstabilisierung, die innere Kammer mit dem Quarzoszillator der Fein-Stabilisierung dient. Trotzdem sind auch bei HP-Qualitäts-Messgeräten aufgrund der beschränkt garantierten Langzeitdriften regelmäßige Überprüfungen (ggf. Abgleich) nötig, um eine bestimmte Labor-Genauigkeit über Jahre hinweg garantieren zu können.

Fazit

Die Genauigkeit des 40MHz-Saronix-Oszillators reicht mir aus, sie beträgt 2,4 ppm, wenn der Fehler des Zählers FZ1310 (1 ppm) nicht berücksichtigt wird. Infrage käme höchstens, den Quarzoszillator in einem Ofen zu betreiben, um die Temperaturdrift gering zu halten.