

Funktionstabelle

Typstandard: TGL 42630 Bauform: DIP-24, Plast (Bild 10)

AE	P/S	A/B	A/S	Arbeitsweise
L	L	L	X	Serieller Mode; serieller Dateneingang; A-Ausgänge gesperrt
L	L	H	X	Serieller Mode; serieller Dateneingang; Kanal-B-Ausgabe
L	H	L	L	Paralleler Mode; B-synchrone Eingänge; A-Datenausgänge gesperrt
L	H	L	H	Paralleler Mode; B-asynchrone Eingänge; A-Datenausgänge gesperrt
L	H	H	L	Paralleler Mode; A-Eingabe gesperrt; B-Ausgabe; synchroner Datenumlauf
L	H	H	H	Paralleler Mode; A-Eingabe gesperrt; B-Ausgabe; asynchroner Datenumlauf
H	L	L	X	Serieller Mode; synchrone serielle Dateneingabe; Kanal A
H	L	H	X	Serieller Mode; synchrone serielle Dateneingabe; Kanal B
H	H	L	L	Paralleler Mode; synchroner Eingang Kanal B; Kanal-A-Ausgabe
H	H	H	L	Paralleler Mode; synchrone Eingabe Kanal A; Kanal-B-Ausgabe
H	H	H	H	Paralleler Mode; asynchrone Eingabe Kanal A; Kanal-B-Ausgabe

(X = L oder H)

Ausgewählte Kennwerte

Kennwerte	Kurzzeichen	Meßbedingung	min.	max.	Einheit
Flankenübergangszeit der Ausgangssignale	t_{TLH}	$U_{DD} = 5 \text{ V}$		200	ns
	t_{THL}	$U_{DD} = 10 \text{ V}$		100	ns
		$U_{DD} = 15 \text{ V}$		80	ns
Taktfrequenz	f_C	$U_{DD} = 5 \text{ V}$		2	MHz
		$U_{DD} = 10 \text{ V}$		5	MHz
		$U_{DD} = 15 \text{ V}$		7	MHz
Taktimpulsbreite	t_{CH}	$U_{DD} = 5 \text{ V}$	250		ns
		$U_{DD} = 10 \text{ V}$	100		ns
		$U_{DD} = 15 \text{ V}$	70		ns
Impulsbreite AE, P/ \bar{S} , A/ \bar{S}	t_{AEH}	$U_{DD} = 5 \text{ V}$	350		ns
	$t_{P\bar{S}H}$	$U_{DD} = 10 \text{ V}$	140		ns
	$t_{A\bar{S}H}$	$U_{DD} = 15 \text{ V}$	80		ns
Datensetzzeit seriell	t_{SSD}	$U_{DD} = 5 \text{ V}$	160		ns
		$U_{DD} = 10 \text{ V}$	60		ns
		$U_{DD} = 15 \text{ V}$	40		ns
Datensetzzeit parallel	t_{SPD}	$U_{DD} = 5 \text{ V}$	50		ns
		$U_{DD} = 10 \text{ V}$	30		ns
		$U_{DD} = 15 \text{ V}$	20		ns
Verzögerungszeit A \rightarrow B	t_{PHL}	$U_{DD} = 5 \text{ V}$		700	ns
	t_{PLH}	$U_{DD} = 10 \text{ V}$		240	ns
		$U_{DD} = 15 \text{ V}$		170	ns
Verzögerungszeit C \rightarrow An oder Bn	t_{PC}	$U_{DD} = 5 \text{ V}$		700	ns
		$U_{DD} = 10 \text{ V}$		240	ns
		$U_{DD} = 15 \text{ V}$		170	ns
Selektions- und Deselektionszeit AE \rightarrow An	t_{PZL}	$U_{DD} = 5 \text{ V}$		400	ns
	t_{PZH}	$U_{DD} = 10 \text{ V}$		160	ns
	t_{PLZ}	$U_{DD} = 15 \text{ V}$		120	ns
Taktanstiegs- und abfallzeit	t_{PHZ}				
	t_{CLH}	$U_{DD} = 5 \text{ V}$		15	μs
	t_{CHL}	$U_{DD} = 10 \text{ V}$		15	μs
		$U_{DD} = 15 \text{ V}$		15	μs
Setzzeit seriell bzw.	t_{SSS}	$U_{DD} = 5 \text{ V}$	250		ns
Setzzeit parallel Steuer-signal zum Takt	t_{SPS}	$U_{DD} = 10 \text{ V}$	120		ns
		$U_{DD} = 15 \text{ V}$	100		ns

CMOS-Schaltkreise Logikbaureihe Vxxx

Die CMOS-Schaltkreise der Logikbaureihe V 4000 sind in gepufferter Schaltungstechnik ausgeführt (außer V 4007 D) und entsprechen in ihren statischen elektrischen Parametern der JEDEC-Standard-B-Serien-Spezifikation. Im Vergleich zu TTL- bzw. Low-power-TTL-Schaltkreisen zeichnen sich die CMOS-Schaltkreise durch folgende Vorteile aus:

- Niedrige Verlustleistung bis ca. 10 mW (ermöglicht den Einsatz in batteriegepufferten Schaltungen),
- der Maximalwert der Ausgangsimpedanz ist nahezu unabhängig von allen erlaubten Eingangsbelegungen,
- nahezu ideale Übertragungskennlinie,
- großer Betriebsspannungsbereich ($U_{DD} = 3$ bis 15 V), geringe Stabilisierung der Betriebsspannung erforderlich,
- hohe statische Störsicherheit,
- niedrige, einheitliche Eingangskapazität,
- Arbeitstemperaturbereich von -40 bis 85 °C,
- Lieferung in Dual-in-line-Plastgehäusen.

Diese Eigenschaften erschließen CMOS-Schaltkreisen eine Reihe neuer Anwendungsmöglichkeiten in Ergänzung zu den TTL-Schaltkreisfamilien.

Grenzwerte

	Kurzzeichen	min.	max.	Einheit
Betriebsspannung	U_{DD}	$U_{SS} - 0,5$	$U_{SS} + 18$	V
Eingangsspannung	U_I	$U_{SS} - 0,5$	$U_{DD} + 0,5$	V
Ausgangsspannung	U_O	$U_{SS} - 0,5$	$U_{DD} + 0,5$	V
Verlustleistung je Ausgangstransistor	P_V		100	mW
Gesamtverlustleistung	P_{tot}		300 ¹⁾	mW
			150 ²⁾	mW
Gesamtverlustleistung ³⁾	P_{tot}		600 ¹⁾	mW
			300 ²⁾	mW
Lastkapazität je Ausgang	C_L		5	nF
Eingangsstrom	$ I_I $		10	mA
Betriebstemperaturbereich	T_a	-40	+85	°C
Lagerungstemperaturbereich	T_{stg}	-55	+125	°C

1) $T_a = -40 \dots +70$ °C; 2) $T_a = +85$ °C; 3) nur V 4034 D

Ausgewählte Kennwerte (außer V 4007)

Kennwert	Kurzzeichen	Meßbedingungen			min.	max.	Einheit
		U_{DD} (V)	$ I_O $ (μA)	U_O (V)			
Ausgangsspannung High	U_{OH}	5	< 1		4,95		V
		10	< 1		9,95		V
		15	< 1		14,95		V
Ausgangsspannung Low	U_{OL}	5	< 1			0,05	V
		10	< 1			0,05	V
		15	< 1			0,05	V
Ausgangsstrom High	$-I_{OH}$	5		4,6	0,4		mA
		10		9,5	0,9		mA
		15		13,5	2,4		mA
Ausgangsstrom Low	I_{OL}	5		0,4	0,4		mA
		10		0,5	0,9		mA
		15		1,5	2,4		mA
Eingangsspannung High	U_{IH}	5	< 1	0,5/4,5	3,5		V
		10	< 1	1,0/9,0	7,0		V
		15	< 1	1,5/13,5	11,0		V
Eingangsspannung Low	U_{IL}	5	< 1	0,5/4,5		1,5	V
		10	< 1	1,0/9,0		3,0	V
		15	< 1	1,5/13,5		4,0	V
Eingangsreststrom High	$ I_I $	15		$T_a = -25 \text{ }^\circ C$		0,1	μA
		15		$T_a = 85 \text{ }^\circ C$		1,0	μA
Reststrom der Tristate-Ausgänge	I_{ZH}	15		$15, T_a = -25 \text{ }^\circ C$		1,2	μA
		15		$15, T_a = 85 \text{ }^\circ C$		12	μA
Reststrom der Tristate-Ausgänge	$-I_{ZL}$	15		$0, T_a = 25 \text{ }^\circ C$		1,2	μA
		15		$0, T_a = 85 \text{ }^\circ C$		12	μA
Eingangskapazität	C_I			$T_a = -25 \text{ }^\circ C$		7,5	pF
Stromaufnahme Gatter	I_{DD}	5				7,5	μA
		10				15	μA
		15				30	μA
Stromaufnahme Flip - Flop, Latch Gatter	I_{DD}	5				30	μA
		10				60	μA
		15				120	μA
Stromaufnahme Zähler, Register	I_{DD}	5				150	μA
		10				300	μA
		15				600	μA

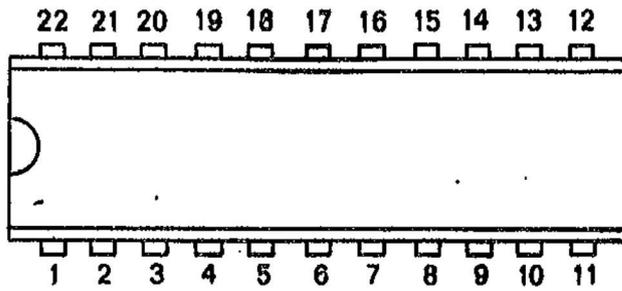
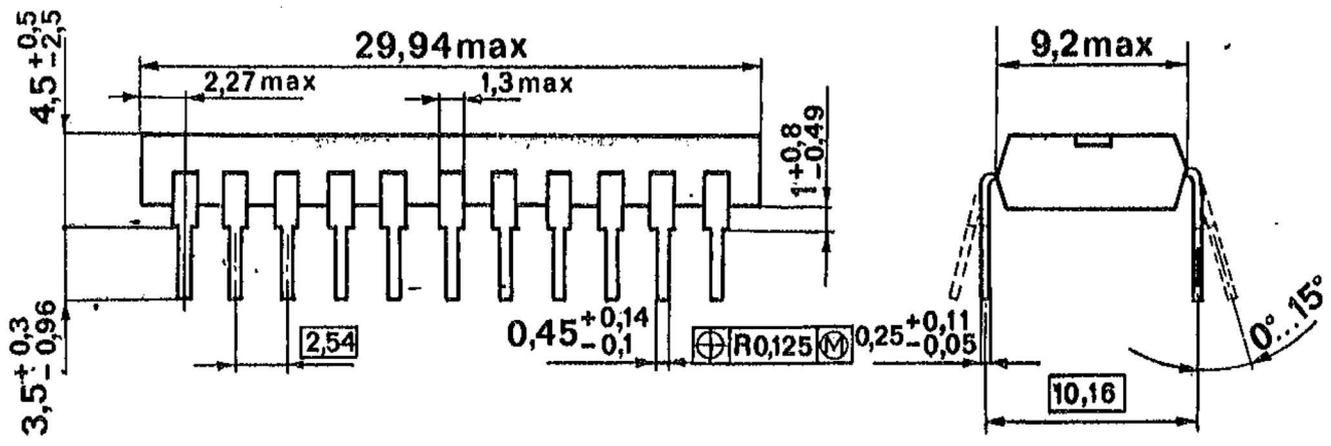


Bild 9 (DIP-22, Plast)

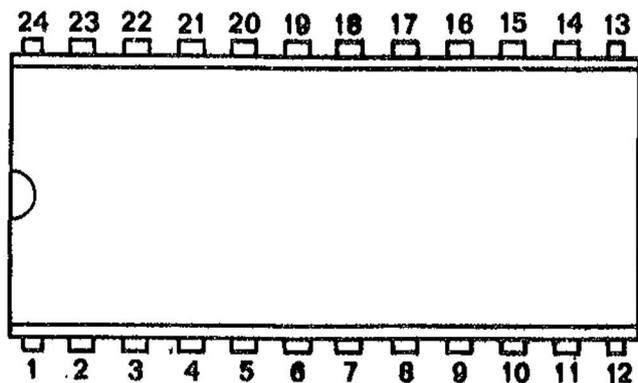
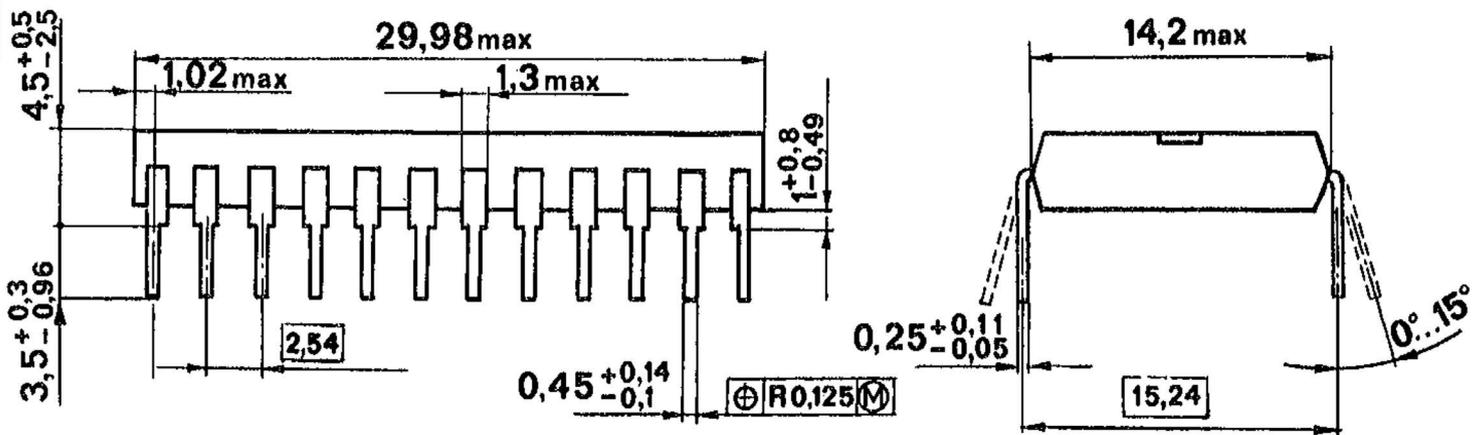


Bild 10 (DIP-24, Plast)